

明 細 書

記録装置

技術分野

- [0001] 本発明は、アクセス装置の指示により、半導体メモリへアクセスする技術に関し、特に、アクセス装置の供給可能な電流量を加味してアクセスする技術に関する。

背景技術

- [0002] SDカードを初めとして、フラッシュメモリを搭載したメモリカードは、小型、軽量、薄型であり、その取り扱いも容易であるため、デジタルスチルカメラなどのデジタル機器に広く利用されている。一般に市販されているメモリカードの記憶容量は、16MB～512MBであり、記録レートは最大で10MB/s程度である。

しかし、DVフォーマットの動画像及び音声のデータのように、大きな記録容量を必要とするデータを記録する場合には、記憶容量も記録レートも不十分である。例えば、4MB/sの再生レートのデータであれば、2分相当のデータしか記録できないし、書き込みには約1分を要することになる。

- [0003] これらの問題を解決するために、特許文献1及び2では、複数のメモリカードを装着可能なメモリカードドライブについて開示されている。これらの技術によると、メモリカードドライブに複数のメモリカードを用いることで、大きな記録容量を確保している。また、RAID方式の1つとして知られているストライピング方式を利用して複数のメモリカードに並行して書き込みを行うことで、記録レートの向上を計っている。

- [0004] このようなメモリカードドライブをパーソナルコンピュータ(以下PC)をはじめとする電気機器に接続して使用する場合、電気機器からメモリカードドライブへ供給可能な電流値は、機器によって異なる。PCを例にすると、メモリカードドライブへ供給可能な電流値は、PCカード規格で1Aとされているが、放熱性の問題などにより、実際には、PCの種類によってばらつきがある。

- [0005] メモリカードドライブを用いて複数のメモリカードを並行して動作させる場合、メモリカードドライブの消費電流は、動作させるメモリカードの枚数に比例して増加する。例えば、消費電流を200mAのメモリカードを4個動作させる場合、消費電流は800mA

必要となる。従って、このメモ리카ードドライブを使用可能なPCは、メモ리카ードドライブへ800mA以上の電流を供給できるものに限定されることになる。

特許文献1:特開2002-189992号公報

特許文献2:特開2000-207137号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、供給できる電流量によって、接続可能な電気機器が限定されることは利用者にとって不便であり、接続される電気機器の供給可能な電流量に関わらず、使用可能なメモ리카ードドライブの要求がある。

そこで本発明は、かかる問題点に鑑みてなされたものであり、接続される電気機器の供給可能な電流量に応じて、動作条件を変更し、消費電流を前記電気機器の供給可能な電流量以下に抑制することができる記録装置、メモ리카ードドライブデバイスを提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために本発明は、1以上の半導体メモリと、アクセス装置から当該記録装置へ供給される電流の上限値を取得する取得手段と、前記アクセス装置から、半導体メモリへのアクセスを指示するコマンドを取得するコマンド取得手段と、前記アクセス装置から電流の供給を受け、制御信号に従って、前記半導体メモリにアクセスするアクセス手段と、取得した前記上限値から、前記半導体メモリ及びアクセス手段以外の各部により消費される電流値を差し引いたアクセス上限値を算出し、算出したアクセス上限値を用いて前記アクセス手段及び前記半導体メモリの動作条件を設定し、前記コマンド取得手段の取得したコマンドと設定した動作条件とに基づいて、前記制御信号を生成し、生成した制御信号を出力する制御手段とを備えることを特徴とする記録装置である。

[0008] ここで、後述する実施の形態において、制御手段とは、並列制御部、制御情報記憶部及びクロック制御部に相当する。また、制御信号とは、書き込み指示、読み出し指示及びクロック信号に相当する。

発明の効果

[0009] この構成によって、本発明の記録装置は、前記アクセス装置から取得する上限値から算出したアクセス上限値に基づいて動作条件を設定する。従って、適切な動作条件を設定することによって、前記アクセス装置から供給可能な電流の範囲内で、半導体メモリにアクセスを行うことができる。

前記記録装置において、前記制御手段は、予め、前記アクセス手段及び前記半導体メモリの消費する消費電流値を前記コマンドと対応付けて記憶しており、前記アクセス上限値と前記消費電流値とを用いて、前記コマンドと対応する動作条件を設定することを特徴とする。

[0010] この構成によると、前記制御手段は、コマンドと対応する動作条件を設定する。つまり、前記制御手段は、前記アクセス装置から出力されるコマンドによって、半導体メモリ及びアクセス手段の消費する電力が異なる場合、コマンド毎に最適な動作条件を設定することができる。従って、前記アクセス手段は、コマンド毎に最適の動作条件で、前記半導体メモリへアクセスすることができる。

[0011] 前記記録装置において、前記制御手段は、当該記録装置の備えている半導体メモリの総数以下の並列個数の前記半導体メモリが、並行して動作するような前記動作条件を設定し、前記コマンドと前記動作条件とに基づいて、前記並列個数の前記半導体メモリへのアクセスを指示する制御信号を、前記アクセス手段へ出力し、前記アクセス手段は、前記並列個数の前記半導体メモリへアクセスすることを特徴とする。

[0012] この構成によると、前記制御手段は、当該記録装置の備えている半導体メモリの総数以下の並列個数の前記半導体メモリが、並行して動作するような前記動作条件を設定する。つまり、並行して動作する前記半導体メモリの個数を制限する。前記記録装置の消費する電流値は、並行して動作する半導体メモリの個数に対応している。従って、並行して動作する半導体メモリの個数を制限することにより、前記記録装置の消費する電流値を、確実に制限することができる。

[0013] 前記消費電流値は、1個の前記半導体メモリを動作させる際に、前記アクセス手段及び前記半導体メモリの消費する電流値であり、前記記録装置を構成する前記制御手段は、前記アクセス上限値を前記消費電流値で除算した商を前記並列個数として

算出することを特徴とする。

この構成によると、前記制御手段は、前記アクセス上限値を前記消費電流値で除算した商を算出することで、簡単に前記並列個数を算出することができる。

[0014] 前記記録装置において、前記制御信号は、前記半導体メモリのうち何れか1つを指定するメモリ情報を含んでおり、前記制御手段は、それぞれの半導体メモリを指定するメモリ情報を含む前記制御信号を順番に出力し、前記アクセス手段は、前記制御信号を受け取り、受け取った制御信号に含まれるメモリ情報の示す前記半導体メモリへアクセスすることを特徴とする。

[0015] この構成によると、前記制御手段は、それぞれの半導体メモリを指定するメモリ情報を含む前記制御信号を順番に出力し、前記アクセス手段は、前記制御信号を受け取り、受け取った制御信号に含まれるメモリ情報の示す前記半導体メモリへアクセスする。上記のように、当該記録装置の備える半導体メモリに順番にデータを書き込んでいくことで、並行動作できる半導体メモリの個数が減少することを防ぐことができる。従って、当該記録装置のアクセス速度の低下を防ぐことができる。

[0016] また、本発明の記録装置において、前記制御手段は、前記半導体メモリの最大動作周波数以下のメモリ周波数で前記半導体メモリが動作するような前記動作条件を設定し、前記コマンドと前記動作条件に基づいて、前記メモリ周波数と同一の周波数のクロック信号を生成し、生成したクロック信号を含む前記制御信号を、前記アクセス手段へ出力し、前記アクセス手段は、前記制御手段から受け取ったクロック信号を、前記半導体メモリへ出力し、前記半導体メモリへアクセスすることを特徴とする。

[0017] この構成によると、前記アクセス手段は、前記半導体メモリの最大動作周波数以下のメモリ周波数と同一の周波数のクロック信号を、前記半導体メモリへ出力し、前記半導体メモリへアクセスする。前記半導体メモリは、前記アクセス手段から受け取ったクロック信号に合わせて動作するため、クロック信号の周波数を小さくすると、前記半導体メモリの動作周波数も小さくすることができる。前記半導体メモリの動作周波数と、前記半導体メモリ及び前記アクセス手段の消費電流値は比例する。従って、前記アクセス上限値に基づいて前記メモリ周波数を設定し、前記半導体メモリの動作周波数を前記メモリ周波数に変更することで、前記記録装置の消費電流を前記上限値以

下に抑制することができる。

- [0018] 本発明において、前記制御手段は、前記半導体メモリが前記最大周波数で動作した場合の、前記アクセス手段及び前記半導体メモリの消費する最大電流値を前記消費電流値として記憶しており、前記最大周波数と前記最大電流値の比率と前記アクセス上限値とを用いて、前記メモリ周波数を算出することを特徴とする。

この構成によると、前記制御手段は、前記最大周波数と前記最大電流値の比率と前記アクセス上限値とを用いて、容易に前記動作周波数を算出することができる。

- [0019] 前記記録装置を構成する前記制御手段は、前記最大電流値に加えて前記最大動作周波数を予め記憶していることを特徴とする。

この構成によると、前記制御手段は、前記最大電流値に加えて前記最大動作周波数を予め記憶しているため、迅速に前記動作周波数を算出することができる。

また、前記制御手段は、読み出しを指示する前記コマンドに対応する前記消費電流値を記憶しており、読み出しを指示する前記コマンドに対応して、前記メモリ周波数で前記半導体メモリが動作するような前記動作条件を設定する。

- [0020] この構成では、前記制御手段は、読み出しを指示する前記コマンドに対応して、前記メモリ周波数で前記半導体メモリが動作するような前記動作条件を設定し、前記半導体メモリは、前記メモリ周波数と同一の動作周波数で読み出しの動作を行う。半導体メモリにデータを書き込む際には、一定量の電子注入が必要であり、周波数と消費電流値に相関関係はないため、動作周波数を変更しても、消費電流値の削減にはつながらない。従って、前記アクセス装置から、読み出しを指示するコマンドを受け取った場合に、前記メモリ周波数で、読み出し動作を行うことで、当該記憶装置の消費電流値を減少させることができる。

- [0021] 前記記録装置の前記制御手段は、分周器を備え、分周器を用いて、前記動作周波数と同一のクロック周波数のクロック信号を生成し、生成したクロック信号を含む制御信号を出力することを特徴とする。

この構成では、前記制御手段は、分周器を用いて、容易にクロック信号の周波数を変更することができる。

- [0022] また、前記制御手段は、PLL (Phase Lock Loop) を備えており、前記PLLを用

いて、前記動作周波数と同一のクロック周波数のクロック信号を生成し、生成したクロック信号を含む制御信号を出力することを特徴とする構成であってもよい。

この構成によると、前記制御手段は、PLLを用いて、クロック信号の周波数を、連続的に変更することができる。従って、前記アクセス上限値と前記コマンド取得手段が取得したコマンドに応じた最適な周波数のクロック信号を生成し、出力することができる。

[0023] 本発明の記録装置において、前記制御手段は、当該記録装置の備えている半導体メモリの総数以下の並列個数の前記半導体メモリが、並行して動作するような第1の動作条件及び前記半導体メモリの最大動作周波数以下の動作周波数で前記半導体メモリが動作するような第2の動作条件を前記動作条件として設定し、前記コマンド取得手段により取得されるコマンドに基づいて、前記第1及び第2の動作条件のうち少なくとも一方を採用し、採用した前記動作条件に基づく前記制御信号を生成することを特徴とする。

[0024] この構成によると、前記第1及び第2の動作条件のうち少なくとも一方を採用し、採用した前記動作条件に基づく制御信号を出力する。これにより、前記制御手段は、前記並行動作数、半導体メモリの動作周波数のうち、何れか一方、又は両方を変更することで、前記アクセス上限値以下の電流の範囲内で最適の動作条件を設定することができる。従って、前記アクセス手段は、前記アクセス上限値以下の電流を最大限に活用し、高速に前記半導体メモリにアクセスすることができる。

[0025] 本発明の記録装置を構成する前記半導体メモリは、フラッシュメモリであることを特徴とする。

フラッシュメモリは、現在、広く普及しており、既に数多くの生産実績がある。従って、この構成の前記記録装置は、容易に生産可能である。

本発明の記録装置を構成する前記半導体メモリは、不揮発性磁気メモリであってもよい。

[0026] 不揮発性磁気メモリは、高速にデータを入出力することができる。また、電荷ではなく、電子スピンによってデータを保持するため、半永久的な記録保持時間を実現できる。従って、この構成によると、前記記録装置は、記録保持性能に優れ、より高速に

データにアクセスを行うことができる。

本発明において、前記取得手段は、前記上限値をATA(AT Attachment)規格に準拠するSet Featuresコマンドにより取得することを特徴とする。

[0027] この構成によると、本発明の記録装置は、ATA規格に準拠した各種の電気機器において、使用することができる。

本発明の記録装置を構成する半導体メモリは可搬型であり、当該記録装置に着脱可能であり、前記取得手段と前記読書手段と前記制御手段とは、前記記録媒体に情報の読出及び書き込みを行うメモリカードドライブデバイスを構成することを特徴とする。

[0028] この構成によると、前記記録装置は、可搬型半導体メモリとメモリカードドライブデバイスからなる。従って、既に市販のメモリカードを前記可搬型半導体メモリとして利用することにより、前記メモリカードドライブデバイスは、既存のメモリカードを利用して高速にデータの入出力を行うことが可能になる。

前記制御手段は、クロック信号を含む制御信号を出力し、前記アクセス手段は、アクセスする半導体メモリにのみ前記クロック信号を供給し、アクセスをしていない半導体メモリへの前記クロック信号の供給を停止することを特徴とする記録装置である。

[0029] この構成によると、前記アクセス手段は、アクセスをしていない半導体メモリへの前記クロック信号の供給を停止する。前記可搬型の半導体メモリとして、既存のメモリカードを使用する場合、これらのメモリカードは、一般に、制御部、記憶部を含んで構成される。メモリカードの制御部は、データへのアクセス要求を受けない場合であっても、クロック信号を受け取ると、所定の動作を行い電力を消費する。従って、前記アクセス手段が、アクセスをしていないメモリカードへクロック信号の供給を停止することにより、これらのメモリカードの制御部により消費される電力を抑制することができる。

図面の簡単な説明

[0030] [図1]メモリカード300の使用例を示す。

[図2]ビデオカメラ200の構成を示すブロック図である。

[図3]PC100の構成を示すブロック図である。

[図4]PC100とメモリカード300との間で授受されるATAコマンドの構成の一例を示す。

す。

[図5]メモ리카ード300の構成を示すブロック図である。

[図6]並列制御部304の構成を示すブロック図である。

[図7]メモ리카ード300装着時の、メモ리카ード300及びPC100の動作を示すフローチャートである。

[図8]メモ리카ード300及びPC100のデータの書き込み動作を示すフローチャートである。

[図9]メモ리카ード300及びPC100のデータの書き込み動作を示すフローチャートである。図8から続く。

[図10]メモ리카ード300へデータを書き込む際の各フラッシュメモリの動作を示すタイムチャートである。

[図11]実施の形態2のメモ리카ード600の構成を示すブロック図である。

[図12]並列制御部604の構成を示すブロック図である。

[図13]メモ리카ード600装着時の、メモ리카ード600及びPC100の動作を示すフローチャートである。

[図14]メモ리카ード600及びPC100のデータの読み出し動作を示すフローチャートである。

[図15]メモ리카ード600及びPC100のデータの読み出し動作を示すタイムチャートである。

[図16]メモ리카ードドライブ700の使用例を示す。

[図17]メモ리카ードドライブ700の構成を示すブロック図である。

[図18]並列制御部704の構成を示すブロック図である。

符号の説明

[0031]	100	PC
	200	ビデオカメラ
	300	メモ리카ード
	301	外部IF部
	302	制御部

303 コマンド解析部
304 並列制御部
305 クロック制御部
308 制御情報記憶部
309 バッファメモリ
310〜313 フラッシュメモリ
321 コマンド実行部
600 メモリカード
700 メモリカードドライバ

発明を実施するための最良の形態

[0032] 以下、本発明の実施の形態について図面を用いて詳細に説明する。

1. 実施の形態1

実施の形態1のメモリカード300は、図1に示すようにPC100及びビデオカメラ200に装着されて使用される。

ビデオカメラ200は、音声及び画像データを生成し、生成した音声及び画像データをメモリカード300に記録する。

[0033] PC100は、ディスプレイ140及びキーボード150と接続されている。利用者の操作により、メモリカード300に記憶されているデータを再生又は編集する。

メモリカード300は、4個のフラッシュメモリを搭載している。外部機器、具体的には、PC100又はビデオカメラ200が、メモリカード300へ供給することができる最大の電流値(以下、許容電流値)を取得し、取得した許容電流値を基に、並行して動作可能なフラッシュメモリの個数を算出する。PCからのコマンドに対して、算出した個数のフラッシュメモリを並行して動作させる。

1.1 ビデオカメラ200

ビデオカメラ200は、図2に示すように、入出力部201、電源部202、画像変換部203、撮像部204、制御部207、入力部212及び再生部213から構成される。

[0034] ビデオカメラ200は、具体的には、マイクロプロセッサ、RAM、ROMを含んで構成され、前記RAM及びROMには、コンピュータプログラムが記憶されている。前記マ

マイクロプロセッサが、前記コンピュータプログラムに従って動作することにより、ビデオカメラ200は、その機能を達成する。

(1) 電源部202

電源部202は、ビデオカメラ200を構成する各回路へ、電池又は外部電源からの電力を供給する。また、入出力部201を介してメモ리카ード300へも電力を供給する。

(2) 許容電流値記憶部210

許容電流値記憶部210は、ROMから構成され、許容電流値を記憶している。許容電流値は、ビデオカメラ200がメモ리카ード300へ供給することのできる電流の上限を示す値である。

(3) 入出力部201

入出力部201は、メモ리카ード300と接続され、制御部207とメモ리카ード300との間で各種の情報の入出力を行う。

[0035] また、電源部202から出力される電力を、メモ리카ード300へ供給する。

(4) 撮像部204及び画像変換部203

撮像部204は、光学レンズ、カラーフィルタ、CCD (Charge Coupled Device) などから構成され、入射光を電荷に変換して画像データを生成する。

画像変換部203は、撮像部204により生成された画像データに直行変換の1つであるDCT処理、量子化処理、動き補償処理及び可変長符号化処理などを施して圧縮する。

(5) 制御部207

制御部207は、ビデオカメラ200を構成する各部の動作を制御する。

[0036] また、入出力部201を介して、メモ리카ード300がビデオカメラ200に装着されたことを検出する。メモ리카ード300を検出すると、ドライブの割当、メモリ空間の割当などを含むコンフィグ処理を行う。

コンフィグ処理が終了すると、許容電流値記憶部210の記憶している許容電流値を用いて、パワーマネジメントに関する情報の授受を行う。このような、メモ리카ード300とメモ리카ード300を装着された装置との間の初期設定の処理については、後に詳細に説明する。

(6)入力部212

入力部212は、各種のボタンなどを備え、利用者による操作を検出し、検出した操作を示す捜査指示情報を制御部207へ出力する。

(7)再生部213

再生部213は、デコーダー、液晶ディスプレイを含んで構成され、圧縮された画像データを伸長し、画面を生成し、生成した画面を液晶ディスプレイに表示する。

1. 2 PC100

PC100は、図3に示すように、外部IF部101、許容電流値記憶部110、情報記憶部111、入力制御部112及び表示制御部113から構成される。

[0037] PC100は、具体的には、マイクロプロセッサ、RAM、ROMを含むコンピュータシステムであって、RAM、ROM及び情報記憶部111にはコンピュータプログラムが記憶されている。前記マイクロプロセッサが前記コンピュータプログラムに従って動作することにより、PC100は、その機能を達成する。

(1)電力供給部105

電力供給部105は、PC100を構成する各回路へ、電力を供給する。また、外部IF部101を介してメモ리카ード300へも電力を供給する。

(2)許容電流値記憶部110及び情報記憶部111

許容電流値記憶部110は、ROMから構成され、許容電流値 I_{ok} を記憶している。許容電流値 I_{ok} は、PC100がメモ리카ード300へ供給することのできる電流の上限を示す値である。

[0038] 情報記憶部111は、ハードディスクユニットから構成され、各種のデータ、コンピュータプログラムなどを記憶している。

(3)外部IF部101

外部IF部101は、メモ리카ード300と接続され、制御部107とメモ리카ード300との間で各種の情報の入出力を行う。

[0039] また、電力供給部105から出力される電力を、メモ리카ード300へ供給する。

(4)制御部107

制御部107は、PC100を構成する各部の動作を制御する。

制御部107は、外部IF部101を介してメモリカード300を検出する。

また、入力制御部112から、利用者のキー操作に対応した操作指示情報を受け取る。

[0040] (4-1) 初期設定

メモリカード300を検出すると、制御部107は、ドライブの割り当て、メモリ空間の割り当てなどを含むコンフィグ処理を行う。

コンフィグ処理が終了すると、メモリカード300へメモリカード300の消費する電流の最大値である最大消費電流値 I_{max} を要求する。外部IF部101を介して、メモリカード300から最大消費電流値 I_{max} を受け取る。最大消費電流値 I_{max} を受け取ると、許容電流値記憶部110から、許容電流値 I_{ok} を読み出し、読み出した許容電流値 I_{ok} を外部IF部101を介して、メモリカード300へ出力する。次に、メモリカード300から、Ack(Acknowledgement)信号を受け取り、初期設定を終了する。

[0041] (4-2) 書き込み処理

制御部107は、入力制御部112から、メモリカード300への書き込みを示す操作指示情報を受け取ると、メモリカード300へデータの書き込みを指示するライトコマンドを生成する。ライトコマンドは、書き込みを開始するセクタの論理アドレスであるセクタ番号(以下先頭セクタ番号)と出力するデータを記録するために必要なセクタ数とを含んでいる。セクタとは、メモリカード300上の読み出し及び書き込みの単位となる512バイトの記憶領域である。

[0042] 次に、生成したライトコマンドを外部IF部101を介してメモリカード300へ出力する。

次に、メモリカード300から、データの書き込みが可能であることを示すレスポンスを受け取る。レスポンスを受け取ると、メモリカード300へ書きこむデータのうち、先頭から順に、1セクタの容量に相当する512バイト分を出力する。以下の説明において、512バイトのデータをデータブロックと呼ぶ。メモリカード300から、1データブロックの書き込み可能であることを示すレスポンスを受け取り、次の、データブロックを出力する。同様にして、全てのデータブロックの出力を終えるまで、レスポンスの受け取りとデータブロックの出力とを繰り返す。

[0043] (4-3) 読み出し処理

制御部107は、入力制御部112から、読み出しを示す操作指示情報を受け取ると、メモ리카ード300へデータの読み出しを指示するリードコマンドを出力する。リードコマンドには、読み出しを開始するセクタの論理アドレスであるセクタ番号(以下先頭セクタ番号)と読み出しをするセクタ数を含んでいる。

[0044] 次に、メモ리카ード300から、データブロックの出力が可能であることを示すレスポンスを受け取る。続いて、メモ리카ード300から、1セクタ分の容量に相当する512バイトのデータブロックを受け取る。同様にして、リードコマンドに含んで出力したセクタ数に相当する数のデータブロックを受け取るまで、レスポンスの受け取りとデータブロックの受け取りとを繰り返す。

[0045] なお、PC100とメモ리카ード300との間において、最大消費電流値、許容電流値といった制御情報及び各種コマンドは、ATA(AT Attachiment)コマンドにより授受される。

図4は、PC100が、最大消費電流値 I_{ok} をメモ리카ード300へ出力する場合、PC100が出力するATAコマンドのフレーム構成を示している。図4は、フレームを構成する各フィールドの名称を縦に配置し、横にビット数を示す番号0〜7を記載している。Features341は、Subcommandなどのコマンドの拡張内容が含まれるフィールドである。SectorCount342は、許容電流値、セクタ数などを格納するフィールドである。ここでは、PC100の許容電流値をAdvanced power management levelを用いて示している。SectorNumber343は、リードコマンド及びライトコマンドを出力する際に、セクタ数を格納するフィールドであるが、最大消費電流値 I_{ok} の出力の場合には、使用されない。図中の「na」は、そのフィールドが使用されないことを示している。

[0046] Cylinder Low344、cylinder High345、Device/Head346は、ライトコマンド及びリードコマンドの際に読み出し及び書き込み先となるセクタを示す情報が格納されるフィールドであるが、ここでは使用されない。

Command347は、各種のコマンドを格納するフィールドである。ここでは、許容電流値 I_{ok} の通知を示す「FEh」が格納されている。

[0047] ATAコマンドの構成については、公知であるので、ここでは詳細な説明を省略する

。

(5) 入力制御部112及び表示制御部113

入力制御部112は、キーボード150と接続されており、利用者による、キー操作を検出し、検出したキー操作を示す操作指示情報を制御部107へ出力する。

表示制御部113は、制御部107の指示によりディスプレイ140に表示する画面を生成する。生成した画面を垂直同期信号及び水平同期信号に合わせてディスプレイ140へ出力する。

1. 3 メモリカード300

メモリカード300は、図5に示すように、外部IF部301、制御部302、フラッシュメモリ310、311、312及び313から構成される。制御部302は、コマンド解析部303、並列制御部304、クロック制御部305、メモリ制御部330、331、332、333、制御情報記憶部308及びバッファメモリ309を含んで構成される。

[0048] 制御部302は、具体的にはマイクロプロセッサ、RAM、ROMから構成され、RAM及びROMには、コンピュータプログラムが記憶されている。前記マイクロプロセッサが前記コンピュータプログラムに従って動作することにより、制御部302は、その機能を達成する。

(1) フラッシュメモリ310、311、312及び313

フラッシュメモリ310、311、312及び313は、512バイトの容量のセクタを複数備えており、各セクタには、メモリアドレスが割り当てられている。図5に示す様に、各フラッシュメモリは、それぞれ、バッファメモリ309と接続されている。また、メモリ制御部330、331、332及び333とそれぞれ接続されている。

[0049] フラッシュメモリ310、311、312及び313は、メモリ制御部330、331、332及び333を介して、クロック制御部305から、クロック信号を受け取る。メモリ制御部330、331、332及び333の制御により、セクタごとに、各種データの記憶及び記憶しているデータの出力を行う。

(2) 外部IF部301

外部IF部301は、外部機器と制御部302との間で各種の情報の送受信を行う。また、外部機器から供給される電力を受け取り、受け取った電力をメモリカード300を構

成する各回路へ出力する。ここで、外部機器とは、PC100又はビデオカメラ200である。

[0050] なお、外部IF部301と外部機器との間のデータの入出力速度は、バッファメモリ309とフラッシュメモリとの間のデータの入出力速度に比べて十分高速である。

(3) 制御情報記憶部308及びバッファメモリ309

制御情報記憶部308は、ROMから構成され、書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 及び制御電流値 a を記憶している。

[0051] 書込消費電流値 I_w は、メモリカード300を構成する1個のフラッシュメモリへ、データを書き込む際に一組のメモリ制御部とフラッシュメモリが消費する電流の値である。読出消費電流値 I_r は、1個のフラッシュメモリからデータを出力する際に、一組のメモリ制御部とフラッシュメモリが消費する電流の値である。ここで、メモリ制御部330〜333及びフラッシュメモリ310〜313の消費する電流の合計値は、動作するフラッシュメモリの個数に比例する。

[0052] メモリ数 N は、メモリカード300に搭載されているフラッシュメモリの個数であり、本実施の形態では $N=4$ である。制御電流値 a は、フラッシュメモリ及びメモリ制御部以外の各回路で消費される電流の合計値である。

バッファメモリ309は、RAMから構成され、512バイトのデータを記憶する領域を4個備えており、4個の記憶領域は、それぞれ、フラッシュメモリ310〜313と対応している。フラッシュメモリ310と外部機器との間で入出力される各種データを一時的に記憶する。

[0053] 具体的には、外部IF部301を介して、外部機器から、512バイトのデータブロックを受け取り、受け取ったデータブロックを記憶する。1データブロック受け取る度に、並列制御部304へ、正常に受け取ったことを示すOK信号を出力する。メモリ制御部330〜333の制御により、記憶しているデータブロックを、フラッシュメモリ310、311、312又は313へ出力する。

[0054] また、フラッシュメモリ310、311、312及び313から、データブロックを受け取り、受け取ったデータブロックを一時的に記憶する。次に、並列制御部304の指示により、記憶しているデータブロックを、外部IF部301を介して、外部機器へ出力し、1データ

ブロックの出力が終了すると、正常に出力が終了したことを示すOK信号を並列制御部304へ出力する。

(4)クロック制御部305

クロック制御部305は、一定の時間間隔でクロック信号を生成し、生成したクロック信号をメモリカード300を構成する各部へ出力する。

(5)コマンド解析部303

コマンド解析部303は、外部IF部301と接続された外部機器から各種コマンドを受け取り、受け取ったコマンドを解析し、解析結果を並列制御部304へ出力する。

(6)メモリ制御部330、331、332及び333

メモリ制御部330は、クロック制御部305からクロック信号を受け取り、受け取ったクロック信号をフラッシュメモリ310へ出力する。

[0055] メモリ制御部330は、並列制御部304から、データの書き込みを示すライト指示と、書き込みを行うフラッシュメモリ310上において、データブロックを書き込むセクタを示すメモリアドレスとを受け取る。また、並列制御部304からデータの読み出しを示すリード指示と、読み出しを行うフラッシュメモリ310上の書き込みを行うセクタを示すメモリアドレスとを受け取る。

[0056] ライト指示とメモリアドレスとを受け取ると、メモリ制御部330は、フラッシュメモリ310内の、受け取ったメモリアドレスと対応するセクタに、バッファメモリ309に記憶されている1データブロックを書き込む。

フラッシュメモリ310への書き込みが終了すると、並列制御部304へ、1データブロックの書き込みが終了したことを示す終了信号を出力する。

[0057] 並列制御部304からリード指示とメモリアドレスとを受け取ると、メモリ制御部330は、フラッシュメモリ310上において、受け取ったメモリアドレスと対応するセクタに記憶されているデータブロックを、バッファメモリ309へ出力する。1データブロックの出力が終了すると、並列制御部304へ、1データブロックの読み出しが終了したことを示す終了信号を出力する。

[0058] メモリ制御部331、332及び333は、それぞれ、フラッシュメモリ311、312及び313について、メモリ制御部330と同様の制御を行う。

(7) 並列制御部304

並列制御部304は、図6に示すように、コマンド実行部321、並列演算部322、メモリ番号演算部323から構成される。

[0059] (7-1) 並列演算部322

並列演算部322は、コマンド実行部321から、メモ리카ード300の消費する電流の最大値である最大消費電流値 I_{max} の算出を指示される。また、コマンド実行部321から許容電流値 I_{ok} を受け取り、並行書込数 N_w と並行読出数 N_r の算出を指示される。並行書込数 N_w は、許容電流値の範囲内で、並行して書き込みの動作を行うことができるフラッシュメモリの個数であり、並行読出数 N_r は、許容電流値の範囲内で並行して読み出しの動作を行うことができるフラッシュメモリの数である。

[0060] 最大消費電流値 I_{max} の算出を指示されると、制御情報記憶部308から書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 及び制御電流値 a を読み出す。読み出した書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 及び制御電流値 a を基に、

$$I_{max} = \text{Max}(N \times I_w, N \times I_r) + a \quad \text{-(式1)}$$

を算出する。ここで、 $\text{Max}(A, B)$ は、 A 及び B のうち値の大きい一方を示す。算出した最大消費電流値 I_{max} をコマンド実行部321へ出力する。

[0061] 並行書込数 N_w と並行読出数 N_r の算出を指示されると、受け取った許容電流値 I_{ok} と算出した最大電流値 I_{max} とを比較し、 $I_{ok} < I_{max}$ であれば、

$$N_w = \text{INT}\{(I_{ok} - a) / I_w\} \quad \text{-(式2)}$$

$$N_r = \text{INT}\{(I_{ok} - a) / I_r\} \quad \text{-(式3)}$$

を算出する。ここで、 $\text{INT}(A)$ は、 A 以下で最大の整数を示す。このとき、 $N_w > N$ であれば、 $N_w = N$ とし、 $N_r > N$ であれば $N_r = N$ とする。

[0062] $I_{ok} \geq I_{max}$ であれば、 $N_w = N_r = N$ とする。

次に、算出した並行書込数 N_w と並行読出数 N_r とを記憶し、コマンド実行部321へ正常に演算が終了したことを示す演算終了信号を出力する。

(7-2) メモリ番号演算部323

メモリ番号演算部323は、予めメモ리카ード300が備えているフラッシュメモリの数 $N = 4$ を記憶している。また、フラッシュメモリ310〜313上のセクタの実アドレスであるメ

モリアドレスと外部機器によって、出力されるセクタ番号との対応を管理している。

- [0063] メモリ番号演算部323は、コマンド実行部321から先頭セクタ番号とセクタ数とを受け取り、書き込み先メモリ番号又は読み出し先メモリ番号の算出を指示される。

書き込み先メモリ番号又は読み出し先メモリ番号の算出を指示されると、メモリ番号演算部323は、図6に示すメモリテーブル324を生成し、生成したメモリテーブル324を一時的に記憶する。

- [0064] メモリテーブル324は、1以上のメモリ情報326、327・・・から構成される。各メモリ情報は、セクタ番号、メモリ番号及びメモリアドレスから構成される。セクタ番号は、外部機器により指定される、書き込み又は読み出しを行うセクタの論理アドレスである。メモリ番号は、書き込み又は読み出しを行うフラッシュメモリと対応しており、メモリ番号「0」、「1」、「2」、「3」は、それぞれフラッシュメモリ310、311、312、313を示している。メモリアドレスは、各フラッシュメモリ上のセクタの物理アドレスである。

- [0065] 具体的には、以下のような演算によりメモリテーブル324を生成する。

書き込み先メモリ番号の算出を指示されると、受け取った先頭セクタ番号とセクタ数とを基にして、以下の(式4)及び(式5)によりセクタ番号とメモリ番号とを算出する。

$$\text{セクタ番号} = \text{先頭セクタ番号} + t \quad \text{—(式4)}$$

$$\text{メモリ番号} = (\text{セクタ番号}) \% N \quad \text{—(式5)}$$

ここで、変数 t は0以上の整数であり、初期値は0である。

- [0066] 次に、書き込み又は読み出しを行うセクタのメモリアドレスを指定し、1メモリ情報を生成する。次に、変数 t に1加算する。以下同様にして、セクタ番号の算出、メモリ番号の算出、メモリアドレスの指定、変数 t のインクリメントを、変数 t が受け取ったセクタ数と等しくなるまで繰り返し、受け取ったセクタ数と同数のメモリ情報を生成する。

図6に示すメモリテーブル324は、一例として、先頭セクタ番号「3」、セクタ数「4」を受け取った場合に、メモリ番号演算部323が生成するメモリテーブルを示している。メモリ情報326は、セクタ番号「3」と示されるセクタを、メモリ番号「3」と対応するフラッシュメモリ313のメモリアドレス「AAAA」のセクタに対応させることを示している。

- [0067] 次に、コマンド実行部321へ、メモリ番号の演算が終了したことを示す演算終了信号を出力する。

(7-3) コマンド実行部321

コマンド実行部321は、図6に示すように並列制御部304を構成する各回路及びメモリ制御部330〜333と接続されており、これらの各回路の動作を制御する。

- [0068] コマンド実行部321は、コマンド解析部303により解析されたコマンドを受け取る。受け取ったコマンドに従って、以下に説明する初期設定、書き込み処理及び読み出し処理を行う。

<初期設定>

コマンド解析部303を介して、最大消費電流値 I_{max} の要求を受け取ると、コマンド実行部321は、並列演算部322へ最大消費電流値 I_{max} の算出を指示する。並列演算部322から最大消費電流値 I_{max} を受け取り、受け取った最大消費電流値 I_{max} を、外部IF部301を介して外部機器へ出力する。ここで外部機器とは、PC100又はビデオカメラ200である。

- [0069] 次に、外部IF部301及びコマンド解析部303を介して、外部機器から許容電流値 I_{ok} を受け取る。許容電流値 I_{ok} を受け取ると、受け取った許容電流値 I_{ok} を並列演算部322へ出力し、並行書込数 N_w と並行読出数 N_r の算出を指示する。次に、並列演算部322から、正常に演算が終了したことを示す演算終了信号を受け取り、外部IF部301を介して、外部機器へAck信号を出力する。

- [0070] <書き込み処理>

コマンド解析部303を介して、ライトコマンドを受け取ると、コマンド実行部321は、バッファメモリ309の4個の記憶領域のうち1個以上が空いているか否かを確認し、データブロックを書き込み可能であるか否かを判断する。1個以上の記憶領域が空であれば、書き込み可能であると判断し、1データブロックの書き込み可能であることを示すレスポンスを、外部IF部301を介して、外部機器に出力する。書き込みが可能でないと判断すると、いずれかの記憶領域が空になるまで待機する。

- [0071] レスポンスを出力すると、以下に説明する(a)データブロックの受け取りの制御と(b)書き込み制御とを実行する。

(a) データブロックの受け取りの制御

外部機器からバッファメモリ309への、一個のデータブロックの書き込みが終了する

と、コマンド実行部321は、バッファメモリ309から1データブロックの書き込みが終了したことを示すOK信号を受け取る。

- [0072] OK信号を受け取ると、コマンド実行部321は、再度バッファメモリ309の空き容量を確認し、データブロックを書き込み可能であるか否かを判断する。書き込み可能でなければ、書き込み可能な状態になるまで待機し、書き込み可能な状態になれば、1データブロックの書き込みが可能であることを示すレスポンスを外部IF部301を介して、外部機器へ出力する。

- [0073] (b) 書き込み制御

コマンド実行部321は、並列演算部322の記憶している並行書込数 N_w を読み出す。次に、ライトコマンドに含まれる先頭セクタ番号とセクタ数とをメモリ番号演算部323へ出力し、書き込みメモリ番号の算出を指示する。

メモリ番号演算部323から、演算終了信号を受け取る。次に、メモリ番号演算部323の記憶しているメモリテーブル324内の先頭から N_w 個のメモリ情報を選択し、選択したメモリ情報から、メモリ番号とメモリアドレスとを抽出し、抽出したメモリ番号と対応するメモリ制御部へ、抽出したメモリアドレスと書き込みを示すライト指示とを出力する。

- [0074] 具体的に、先頭セクタ番号「3」、セクタ数「4」、並行書込数 $N_w=2$ の場合、メモリ情報326及び327から、それぞれのメモリ番号とメモリアドレスとを抽出する。メモリ番号「3」のフラッシュメモリ313を制御するメモリ制御部333へ、ライト指示とメモリアドレス「AAAA」とを出力し、メモリ番号「0」と対応するフラッシュメモリ310を制御するメモリ制御部330へ、それぞれ、メモリアドレス「BBBB」ライト指示とを出力する。

- [0075] 次に、いずれかのメモリ制御部から、1データブロックの書き込みが終了したことを示す終了信号を受け取る。この時点で、コマンド実行部321は、メモリ制御部333及びメモリ制御部330へ、データブロックの書き込みを指示しており、合計2個のデータブロックの書き込みを指示し終えている。ライトコマンドと共に受け取ったセクタ数「4」に相当する4個のデータブロックの書き込みを指示し終えていないので、メモリテーブル324の次のメモリ情報328から、メモリ番号「1」とメモリアドレス「CCCC」とを抽出し、抽出したメモリ番号「1」と対応するメモリ制御部331へライト指示とメモリアドレス「C

CCC」とを出力する。

- [0076] 同様にして、メモリ番号「2」と対応するメモリ制御部332へ、ライト指示とメモリアドレス「DDDD」とを出力する。

受け取ったセクタ数「4」に相当する4個のデータブロックの書き込みを指示し終わると、フラッシュメモリへの書き込み制御を終了する。

<読み出し処理>

コマンド解析部303を介して、データの読み出しを指示するリードコマンドを受け取ると、以下に説明する(a)読み出し制御と(b)データブロックの出力制御とを実行する。

- [0077] (a)読み出し制御

コマンド実行部321は、リードコマンドに含まれる先頭セクタ番号とセクタ数とをメモリ番号演算部323へ出力し、読み出しメモリ番号の算出を指示する。

次に、メモリ番号演算部323から、演算終了信号を受け取り、並列演算部322の記憶している並行読出数Nrを読み出す。

- [0078] 書き込み処理において、説明した(a)書き込み制御と同様の手順により、読み出しを行うフラッシュメモリを示すメモリ番号をメモリ制御部へ出力する。なお、読み出し制御の場合は、並列書込数Nwに変わって、並列読出数Nrを用い、ライト指示の代わりに、読出を示すリード指示を出力する。

次に、いずれかのメモリ制御部から1データブロックの読み出しが終了したことを示す終了信号を受け取る。このとき、リードコマンドと共に受け取ったセクタ数に相当するデータブロックの、読み出しの指示を出力し終わっていれば、読み出し制御を終了する。

- [0079] セクタ数に相当するデータブロックの読み出しの指示を出力し終わっていなければ、次のメモリ情報に含まれるメモリ番号と対応するメモリ制御部へリード指示を出力する。

(b)データブロックの出力制御

リードコマンドを受け取ると、コマンド実行部321は、バッファメモリ309に記憶されているデータを確認し、1データブロックの出力が可能であるか否かを判断する。つま

り、フラッシュメモリからバッファメモリ309へ1データブロック以上のデータが転送済みか否かを確認する。

- [0080] 出力が可能でないと判断すると、いずれかのフラッシュメモリからバッファメモリ309へ、1データブロックの転送が終了するまで待機する。

出力可能であると判断すると、データブロックの出力が可能であることを示すレスポンスを、外部IF部301を介して、外部機器へ出力する。

続いて、バッファメモリ309へ1データブロックの出力を指示する。次に、バッファメモリ309から、1データブロックの出力が正常に終了したことを示すOK信号を受け取る。OK信号を受け取ると、再度バッファメモリ309に記憶されているデータを確認し、1データブロックの出力が可能であるかを判断する。

- [0081] 以下、同様にして、リードコマンドと共に受け取ったセクタ数に相当するデータブロックを出力し終えるまで、データブロックの出力の可否の判断、レスポンスの出力、1データブロックの出力を繰り返す。

1. 4 メモリカード300及びPC100の動作

メモリカード300は、PC100及びビデオカメラ200に装着されるが、ここではPC100に装着された場合について説明する。

- [0082] (1)メモリカード300装着時の動作

PC100にメモリカード300が装着された直後の、PC100及びメモリカード300の動作について、図7のフローチャートを用いて説明する。

PC100は、外部IF部101を介して、メモリカード300の装着を検出する(ステップS101)。次に、外部IF部101を介して、メモリカード300へ、最大消費電流値 I_{max} を要求する(ステップS102)。

- [0083] メモリカード300は、外部IF部301を介して、PC100から最大消費電流値 I_{max} の要求を受け取る。最大消費電流値 I_{max} の要求を受け取ると、制御情報記憶部308から、書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 、制御電流値 a を読み出す(ステップS104)。次に、読み出した書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 、制御電流値 a を基に、最大消費電流値 I_{max} を算出し(ステップS106)、算出した最大消費電流値 I_{max} をPC100へ出力する(ステップS107)。

[0084] PC100は、メモ리카ード300から最大消費電流値 I_{max} を受け取る。最大許容電流値 I_{max} を受け取ると、許容電流値記憶部110から許容電流値 I_{ok} を読み出し(ステップS108)、読み出した許容電流値 I_{ok} をメモ리카ード300へ出力する(ステップS109)。

メモ리카ード300は、外部IF部301を介して、PC100から許容電流値 I_{ok} を受け取り、受け取った許容電流値 I_{ok} と算出した最大消費電流値 I_{max} とを比較する(ステップS111)。 $I_{ok} \geq I_{max}$ であれば(ステップS111のYES)、並行書込数 $N_w =$ 並行読出数 $N_r =$ メモリ数 N とする(ステップS112)。

[0085] $I_{ok} < I_{max}$ であれば(ステップS111のNO)、 $N_w = \text{INT}\{(I_{ok} - a) / I_w\}$ を算出し(ステップS113)、 $N_r = \text{INT}\{(I_{ok} - a) / I_r\}$ を算出し(ステップS114)、算出した並行書込数 N_w と並行読出数とを記憶する。次に、PC100へ、Ack信号を出力する(ステップS116)。

(2)メモ리카ード300への書き込み動作

メモ리카ード300への書き込み動作について、図8に示すフローチャートを用いて説明する。ここでは、具体的に、並行書込数 $N_w = 2$ 、先頭セクタ番号「3」、セクタ数「4」の場合について説明する。

[0086] PC100は、利用者によるキー操作を受け付け(ステップS121)、メモ리카ード300への書き込みを指示するキー操作を受け付けると、先頭セクタ番号「3」、セクタ数「4」を含むライトコマンドを生成し(ステップS123)、生成したライトコマンドをメモ리카ード300へ出力する(ステップS124)。

メモ리카ード300は、PC100からライトコマンドを受け取り、バッファメモリ309の空き容量を確認し、データブロックを書き込み可能か否かを判断する(ステップS126)。書き込み可能でないと判断すると(ステップS126のNO)、バッファメモリ309の空き容量が1データブロックを書き込み可能な状態になるまで待機する。

[0087] 書き込み可能であると判断すると(ステップS126のYES)、データの書き込み可能であることを示すレスポンスをPC100生成し(ステップS128)、生成したレスポンスをPC100へ出力する(ステップS129)。

PC100は、メモ리카ード300からレスポンスを受け取る(ステップS129)。レスポンス

を受け取ると、出力するデータのうち1データブロックを読み出し(ステップS131)、読み出したデータブロックをメモリカード300へ出力する(ステップS132)。

- [0088] メモリカード300は、PC100からデータブロックを受け取り、受け取ったデータブロックをバッファメモリ309へ書き込む(ステップS133)。バッファメモリ309への書き込みが終了すると、再度、バッファメモリ309の空き容量を確認し、1データブロックを書き込み可能であるか否かを判断する(ステップS134)。書き込み可能でないと判断すると、バッファメモリ309にデータブロックを書き込み可能な状態になるまで、待機する(ステップS134のNO)。

- [0089] 書き込み可能であると判断すると(ステップS134のYES)、メモリカード300は、データブロックを書き込み可能であることを示すレスポンスを、PC100へ出力する。同様にして、PC100からデータブロックを受け取る度に、ステップS133〜ステップS136を繰り返す。

PC100は、メモリカード300から、レスポンスを受け取る(ステップS136)。このとき、メモリカード300に書き込むデータを構成するデータブロック全てを出力し終えていなければ(ステップS134のNO)、ステップS129へ戻り、次のデータブロックを出力する。

- [0090] また、メモリカード300は、ステップS133〜136の動作と並行して、ステップS141〜ステップS147に示す、バッファメモリ309から各フラッシュメモリへのデータの転送の処理を行う。

まず、ライトコマンドに含んで受け取った先頭セクタ数「3」とセクタ数「4」とを基に、データブロックを書き込むフラッシュメモリを示すメモリ番号「3」、「0」、「1」、「2」を算出し、メモリテーブル324を生成する(ステップS141)。Nw=2であるので、メモリ番号「3」、「0」と対応するメモリ制御部333及び330へライト指示を出力し、バッファメモリ309からフラッシュメモリ313及びフラッシュメモリ310へのデータブロックの転送を開始する(ステップS142)。

- [0091] いずれかのフラッシュメモリへのデータブロックの転送が終了する(ステップS143)。このとき、受け取ったセクタ数「4」に相当する4個のデータブロックの転送を各メモリ制御部へ、指示し終えていので(ステップS144のNO)、メモリテーブル324から次の

メモリ番号とメモリアドレス、具体的にはメモリ番号「1」とメモリアドレス「CCCC」を読み出し、読み出したメモリ番号「1」と対応するメモリ制御部331へメモリアドレス「CCCC」とライト指示を出力し、メモリ制御部331は、フラッシュメモリ311へのデータブロックの転送を開始する(ステップS146)。

- [0092] ステップS143〜146を繰り返し、メモリ番号「2」の示すフラッシュメモリ312へのデータブロックの転送を開始する。

次に、ステップS144において、4個のデータブロックのフラッシュメモリへの転送をメモリ制御部へ、指示し終えていると判断する(ステップS144のYES)。全てのフラッシュメモリにおいて、データブロックの転送が完了すると(ステップS147)、書き込み動作を終了する。

- [0093] (3) 書き込み時のタイムチャート

メモ리카ード300へデータを書き込む際のメモ리카ード300とPC100の間のコマンド及びデータの授受のタイミング及びメモ리카ード300内のフラッシュメモリ310〜313の動作タイミングについて、図10に示すタイムチャートを用いて説明する。ここで、並行書込数 $N_w=2$ であり、ライトコマンドを受け取った時点で、バッファメモリ309の4個記憶領域は、すべて空であると想定する。

- [0094] 図10は、メモ리카ード300がPC100から受け取るコマンド及びデータブロックとメモ리카ード300がPC100へ出力するレスポンスとを時間の経過に沿って並べたものであり、横軸は時間の経過を示している。さらに、各時刻における、フラッシュメモリ310〜313の動作の状況を示している。

メモ리카ード300は、PC100から、ライトコマンドA0を受け取る。ライトコマンドA0には、先頭セクタ番号「3」とセクタ数「4」とが含まれる。

- [0095] メモ리카ード300は、バッファメモリ309の空き容量を確認し、512バイトのデータブロックを書き込み可能であることを示すレスポンス131をPC100へ出力する。

レスポンス131を受け取ると、PC100は、メモ리카ード300へ、データブロックA1を出力する。

- [0096] これと同時に、メモ리카ード300は、バッファメモリ309からフラッシュメモリ313へのデータブロックA1の転送を開始する。PC100からメモ리카ード300へのデータブロッ

クA1の出力が終了すると、メモ리카ード300は、再度、バッファメモリ309の空き容量を確認し、データブロックの書き込みが可能であることを示すレスポンス132をPC100へ出力する。

- [0097] レスポンス132を受け取ると、PC100は、メモ리카ード300へ、データブロックA2を出力する。

これと同時に、メモ리카ード300は、バッファメモリ309からフラッシュメモリ310へのデータブロックA2の転送を開始する。

PC100からメモ리카ード300へのデータブロックA2の出力が終了すると、メモ리카ード300は、再度、バッファメモリ309の空き容量を確認し、データブロックの書き込みが可能であることを示すレスポンス133をPC100へ出力する。

- [0098] 同様にして、PC100は、レスポンス133を受け取ると、データブロックA3をメモ리카ード300へ出力する。ここで、並行書込数 $N_w=2$ であり、フラッシュメモリ313及び310が動作中であるので、フラッシュメモリ313又は310のいずれかで転送が終了するまで、その他のフラッシュメモリは動作しない。

PC100からメモ리카ード300へのデータブロックA3の出力が終了する。メモ리카ード300は、再度、バッファメモリ309の空き容量を確認し、データブロックの書き込みが可能であることを示すレスポンス134をPC100へ出力する。

- [0099] PC100は、レスポンス134を受け取ると、データブロックA4をメモ리카ード300へ出力する。

ここで、バッファメモリ309には、データブロックA1〜A4が記憶されており、新たなデータブロックを書き込むことはできない。最初に、転送を開始したフラッシュメモリ313において、データブロックA1の書き込みが終了した時点で、バッファメモリ309へ新たなデータブロックの書き込みが可能になり、メモ리카ード300は、書き込み可能であることを示すレスポンス135をPC100へ出力する。

- [0100] 同時に、バッファメモリ309からフラッシュメモリ311へデータブロックA3の転送を開始する。次に、フラッシュメモリ310へのデータブロックA2の転送が終了すると、バッファメモリ309からフラッシュメモリ312へのデータブロックA4の転送を開始する。

1.5 まとめ及び効果

以上、説明してきたように、メモ리카ード300は、外部機器に接続されると、外部機器の許容電流値を取得し、メモ리카ード300の消費電流値が取得した許容電流値以下になるように、並行書込数 N_w と並行読出数 N_r とを算出する。

- [0101] 外部機器からライトコマンドを受け取ると、 N_w 個のフラッシュメモリを、並行して動作させ書き込みを行う。リードコマンドを受け取ると、 N_r 個のフラッシュメモリを並行して動作させて、読み出しを実行する。

本発明の効果について、具体的な数値を用いて説明する。

書込消費電流値 $I_w=100\text{mA}$ 、読出消費電流値 $I_r=50\text{mA}$ 、メモリ数 $N=4$ 及び制御電流値 $a=100\text{mA}$ であり、フラッシュメモリ310〜313の書き込み及び読み出し速度は、1個当たり 4MB/s であると想定する。

- [0102] PC100から許容電流値 $I_{ok}=350\text{mA}$ を受け取ると、メモ리카ード300は、式2及び式3を用いて

$$N_w = \text{INT}\{(350-100)/100\} = 2$$

$$N_r = \text{INT}\{(350-100)/50\} = 5$$

を算出する。ここで、 $N_r > N$ であるので、 $N_r = N = 4$ とする。

- [0103] このように想定した場合、メモ리카ード300の書き込み時の消費電流値は、 300mA であり、読み出し時の消費電流値は 350mA であり、いずれも許容電流値の 350mA 以下である。

また、このときのメモ리카ード300の書き込み速度は、2個のフラッシュメモリを並行して動作させることが可能であるため、 8MB/s であり、並行して動作しない場合と比較して2倍の書き込み速度を実現できる。読み出し速度は、4個のフラッシュメモリを並行して動作させることが可能であるため、 16MB/s であり、並行して動作しない場合と比較して4倍の読み出し速度を実現できる。

- [0104] このようにして、PC100の電力供給能力の範囲内で、効率よく、読み出し及び書き込みを高速化することができる。

2. 実施の形態2

本発明の実施の形態2のメモ리카ード600について、以下に説明する。

メモ리카ード600は、実施の形態1のメモ리카ード300と同様にPC100及びビデオカ

メラ200に装着される。PC100及びビデオカメラ200は、の構成及び動作は実施の形態1と同様であるので、ここでは説明を省略する。

- [0105] メモリカード600は、4個のフラッシュメモリを搭載しており、外部機器、具体的には、PC100又はビデオカメラ200から、許容電流値を受け取り、メモリカード600の消費電流値が受け取った許容電流値以下になるように、フラッシュメモリの動作周波数を算出する。外部機器から、コマンドを受け取ると、算出した動作周波数で、フラッシュメモリを動作させる。

2. 1 メモリカード600

メモリカード600は、図11に示すように、外部IF部601、制御部602、フラッシュメモリ610、611、612及び613から構成される。

- [0106] 制御部602は、コマンド解析部603、並列制御部604、クロック制御部605、メモリ制御部630、631、632、633、制御情報記憶部608及びバッファメモリ609を含む。
- 制御部602は、具体的にはマイクロプロセッサ、RAM、ROMから構成され、RAM及びROMには、コンピュータプログラムが記憶されている。前記マイクロプロセッサが前記コンピュータプログラムに従って動作することにより、制御部302は、その機能を達成する。

- [0107] 外部IF部601、コマンド解析部603、メモリ制御部630、631、632、633、バッファメモリ609、フラッシュメモリ610、611、612及び613の構成及び動作は、実施の形態1の外部IF部301、コマンド解析部303、メモリ制御部330、331、332、333、バッファメモリ309、フラッシュメモリ310、311、312及び313と同様であるので説明を省略し、本実施の形態の特徴部分である、並列制御部604、クロック制御部605及び制御情報記憶部608についてのみ説明する。

- [0108] (1) 制御情報記憶部608

制御情報記憶部608は、ROMから構成され、図11に示すように、書込消費電流値 I_w 、最大読出消費電流値 I_{rmax} 、メモリ数 N 、最大周波数 f_{max} 及び制御電流値 a を記憶している。

書込消費電流値 I_w 、メモリ数 N 及び制御電流値 a は実施の形態1と同様である。

- [0109] 最大周波数 f_{max} は、メモリカード600に搭載されているフラッシュメモリが最大の読

み出し速度で読み出しの動作をする場合の動作周波数である。

最大読出消費電流値 I_{rmax} は、1個のフラッシュメモリが、最大の読み出し速度で読み出しの動作をする場合、つまり、最大周波数 f_{max} で読み出しを実行する場合に、そのフラッシュメモリ及び対応するメモリ制御部が消費する電流値である。

[0110] (2)クロック制御部605

クロック制御部605は、PLL (Phase Lock Loop)を備えている。所定の時間間隔でクロック信号を生成し、生成したクロック信号をメモリカード600を構成する各部へ出力する。通常、クロック制御部605が、メモリ制御部630～633を介して、フラッシュメモリ610～613へ供給するクロック信号のクロック周波数は、最大周波数 f_{max} である。このとき、メモリ制御部630～633及びフラッシュメモリ610～613の動作周波数も f_{max} である。

[0111] クロック制御部605は、並列制御部604から、周波数変更指示と読出周波数 f_r とを受け取る。読出周波数 f_r は、フラッシュメモリ610～613が並行して読み出しの動作を行う際に、メモリカード600が消費する電流値が許容電流値 I_{ok} 以下になるフラッシュメモリ610～613の動作周波数の上限値である。

周波数変更指示を受け取ると、PLLを用いて、メモリ制御部630～633へ供給するクロック信号のクロック周波数を受け取った読出周波数 f_r に変更する。

[0112] また、並列制御部604から変更終了指示を受け取り、フラッシュメモリ610～613へ供給するクロック信号のクロック周波数を読出周波数 f_r から通常の最大周波数 f_{max} へ戻す。

(3)並列制御部604

並列制御部604は、図12に示すように、コマンド実行部621、並列演算部622及びメモリ番号演算部623から構成される。

[0113] メモリ番号演算部623は、実施の形態1と同様であるので、ここでは本実施の形態の特徴であるコマンド実行部621及び並列演算部622についてのみ説明する。

(3-1)並列演算部622

並列演算部622は、コマンド実行部621から最大消費電流値 I_{max} の算出を指示される。また、コマンド実行部621から許容電流値 I_{ok} を受け取り、並行書込数 N_w と読

出周波数 f_r の算出を指示される。

- [0114] 最大消費電流値 I_{max} の算出を指示されると、制御情報記憶部608から書込消費電流値 I_w 、最大読出消費電流値 I_{rmax} 、メモリ数 N 及び制御電流値 a を読み出す。読み出した書込消費電流値 I_w 、読出消費電流値 I_r 、メモリ数 N 及び制御電流値 a を基に、

$$I_{max} = \text{Max}(N \times I_w, N \times I_{rmax}) + a \quad \text{-(式6)}$$

を算出する。算出した最大消費電流値 I_{max} をコマンド実行部621へ出力する。

- [0115] 並行書込数 N_w と読出周波数 f_r の算出を指示されると、制御情報記憶部608から最大周波数 f_{max} を読み出す。次に、受け取った許容電流値 I_{ok} と算出した最大電流値 I_{max} とを比較し、 $I_{ok} < I_{max}$ であれば、

$$N_w = \text{INT}\{(I_{ok} - a) / I_w\} \quad \text{-(式2)}$$

$$f_r = f_{max} \times (I_{ok} - a) / N / I_{rmax} \quad \text{-(式7)}$$

を算出する。このとき、 $N_w > N$ であれば、 $N_w = N$ とし、 $f_r > f_{max}$ であれば $f_r = f_{max}$ とする。

- [0116] $I_{ok} \geq I_{max}$ であれば、 $N_w = N$ 、 $f_r = f_{max}$ とする。

次に、算出した並行書込数 N_w と読出周波数 f_r とを記憶し、コマンド実行部621へ正常に演算が終了したことを示す演算終了信号を出力する。

(3-2)コマンド実行部621

コマンド実行部621は、メモ리카ード600が備えているフラッシュメモリの個数 $N=4$ を予め記憶している。

- [0117] コマンド実行部621は、コマンド解析部603により解析されたコマンドを受け取る。受け取ったコマンドにより、以下に説明する初期設定、書込動作及び読出動作を実行する。書込動作は実施の形態1と同様であるので、ここでは説明を省略する。

(初期設定)

コマンド解析部603を介して、最大消費電流値 I_{max} を要求されると、コマンド実行部621は、並列演算部622へ最大消費電流値 I_{max} の算出を指示する。並列演算部622から最大消費電流値 I_{max} を受け取り、受け取った最大消費電流値 I_{max} を外部IF部601を解して外部機器へ出力する。ここで外部機器とは、PC100又はビデオカ

メラ200である。

- [0118] 次に、外部IF部601及びコマンド解析部603を介して、外部機器から許容電流値 I_{ok} を受け取る。許容電流値 I_{ok} を受け取ると、受け取った許容電流値 I_{ok} を並列演算部622へ出力し、並行書込数 N_w と読出周波数 fr の算出を指示する。

並列演算部622から正常に演算が終了したことを示す演算終了信号を受け取る。
次に、外部IF部601を介して、外部機器へAck信号を出力する。

- [0119] (読み出し動作)

コマンド解析部603を介して、データの読み出しを指示するリードコマンドを受け取る。リードコマンドには、読み出しを開始するセクタの論理アドレスである先頭セクタ番号と読み出しを行うセクタ数とを含んでいる。リードコマンドを受け取ると、以下に説明する(a)読み出し制御と(b)データブロックの出力制御とを実行する。

- [0120] (a)読み出し制御

コマンド実行部621は、リードコマンドに含まれる先頭セクタ番号「5」とセクタ数「4」とをメモリ番号演算部623へ出力し、メモリ番号の算出を指示する。次に、並列演算部622から読出周波数 fr を読み出し、クロック制御部605へ、読み出した読出周波数 fr と周波数変更指示とを出力する。

- [0121] 次に、メモリ番号演算部623の記憶しているメモリテーブルのN個のメモリ情報からメモリ番号とメモリアドレスとを抽出し、抽出したメモリ番号の示すフラッシュメモリを制御するメモリ制御部へ、それぞれ、抽出したメモリアドレスと読み出しを示すリード指示とを出力する。

次に、いずれかのメモリ制御部から、読み出しが終了したことを示す終了信号を受け取る。このとき、リードコマンドに含んで受け取ったセクタ数に相当する個数のデータブロックの読み出しの指示を、メモリ制御部630〜633へ出力し終えていなければ、メモリテーブルから次のメモリ番号と、メモリアドレスを抽出し、抽出したメモリ番号と対応するメモリ制御部へリード指示を出力する。セクタ数に相当する個数のデータブロックのリード指示を、出力し終えるまで、メモリ番号とメモリアドレスの抽出、メモリ制御部へのリード指示の出力を繰り返す。

- [0122] 次に、リード指示を出力した全てのメモリ制御部から終了信号を受け取り、各フラッ

シユメモリからのデータの読み出しが終了したと判断する。フラッシュメモリからのデータの読み出しが終了したと判断すると、クロック制御部605へ変更終了指示を出力する。

(b) データブロックの出力制御

リードコマンドを受け取ると、コマンド実行部621は、バッファメモリ609に記憶されているデータを確認し、1データブロックの出力が可能であるか否かを判断する。つまり、フラッシュメモリからバッファメモリ609へ1データブロック以上のデータが転送済みか否かを確認する。

- [0123] 出力が可能でないと判断すると、いずれかのフラッシュメモリからバッファメモリ609へ、1データブロックの転送が終了するまで待機する。

出力可能であると判断すると、データブロックの出力が可能であることを示すレスポンスを、外部IF部601を介して、外部機器へ出力する。

続いて、バッファメモリ609へ1データブロックの出力を指示する。

- [0124] リードコマンドと共に受け取ったセクタ数に相当するデータブロックを外部機器へ出力し終わるまで、同様にして、データブロックの出力の可否の判断、レスポンスの出力、データブロックの出力を繰り返す。

2. 2 メモリカード600及びPC100の動作

メモリカード600は、PC100及びビデオカメラ200に装着されるが、ここでは、PC100に装着された場合について説明する。

- [0125] (1)メモリカード600の装着時の動作

メモリカード600がPC100に装着されたときの初期設定の動作について、図13に示すフローチャートを用いて説明する。

PC100は、外部IF部101を介してメモリカード600の装着を検出し、コンフィグ処理を行う(ステップS201)。次に、メモリカード600へ最大消費電流値 I_{max} を要求する(ステップS202)。

- [0126] メモリカード600は、PC100から最大消費電流値 I_{max} の要求を受け取る。最大消費電流値 I_{max} の要求を受け取ると、制御情報記憶部608から、書込消費電流値 I_w 、最大読出消費電流値 I_{rmax} 、メモリ数 N 及び制御電流値 a を読み出す(ステップS2

03)。次に、読み出した書込消費電流値 I_w 、最大読出消費電流値 I_{rmax} 、メモリ数 N 及び制御電流値 a を用いて、最大消費電流値 I_{max} を算出し(ステップS204)、算出した最大消費電流値 I_{max} をPC100へ出力する(ステップS207)。

- [0127] PC100は、メモ리카ード600から最大消費電流値 I_{max} を受け取り、許容電流値 I_{ok} を読み出す(ステップS209)。読み出した許容電流値 I_{ok} を外部IF部101を介してメモ리카ード600へ出力する(ステップS211)。

メモ리카ード600は、PC100から、許容電流値 I_{ok} を受け取り、最大読出周波数 f_{max} を読み出す(ステップS212)。

- [0128] 次に、受け取った I_{ok} と算出した最大消費電流値 I_{max} とを比較する(ステップS213)。 $I_{ok} \geq I_{max}$ であれば(ステップS213のYES)、並行書込数 N_w をメモリ数 N とし、読出周波数 f_r を最大読出周波数 f_{max} とする(ステップS214)。

$I_{ok} < I_{max}$ であれば(ステップS213のNO)、式2により並行書込数 N_w を算出する(ステップS217)。このとき、 $N_w > N$ となる場合は、 $N_w = N$ とする。次に、式7により読出周波数 f_r を算出する(ステップS218)。このとき、 $f_r > f_{max}$ となる場合、 $f_r = f_{max}$ とする。

- [0129] 次に、初期設定が正常に終了したことを示すAck信号をPC100へ出力する(ステップS219)。

(2)メモ리카ード600からの読み出し動作

メモ리카ード600からデータを読み出す際の、メモ리카ード600及びPC100の動作について、図14に示すフローチャートを用いて説明する。

- [0130] ここでは、具体的に、先頭セクタ番号「5」とセクタ数「4」の場合について説明する。

PC100は、利用者によるキー操作を受け付け(ステップS241)、メモ리카ード600からの読み出しを示すキー操作を受け付けると、先頭セクタ番号「5」及びセクタ数「4」を含むリードコマンドを生成し(ステップS243)、外部IF部101を介して生成したリードコマンドをメモ리카ード600へ出力する(ステップS244)。

- [0131] 受け付けたキー操作が、読み出し以外の処理を示していれば、その他の処理を行う(ステップS242)。

メモ리카ード600は、PC100からリードコマンドを受け取り、受け取ったリードコマンド

に含まれる先頭セクタ番号「5」とセクタ数「3」とを基に、読み出しを行うフラッシュメモリを示すメモリ番号「1」、「2」、「3」、「0」を算出し、メモリテーブルを生成する(ステップS249)。

- [0132] 次に、メモリ制御部630〜633へ出力するクロック周波数を読出周波数frに変更する(ステップS251)。

メモリテーブル上のN(=4)個のメモリ情報からメモリ番号とメモリアドレスを抽出し、抽出したメモリ番号「1」、「2」、「3」及び「0」に対応するフラッシュメモリからバッファメモリ609へのデータブロックの転送を開始する(ステップS252)。

- [0133] いずれかのフラッシュメモリにおいて、データブロックの転送が終了したとき、(ステップS253)、受け取ったセクタ数「4」に相当する4個のデータブロックの出力をメモリ制御部へ指示し終えていなければ(ステップS254のNO)、メモリテーブルを基に、次のデータブロックの読み出しをメモリ制御部へ指示する(ステップS256)。

合計して4個のデータブロックの出力をメモリ制御部へ指示し終えていれば(ステップS254のYES)、全てのフラッシュメモリにおける読み出しの動作が終了した後(ステップS257)、クロック周波数を元に戻す(ステップS258)。

- [0134] ステップS252〜ステップS258と並行して、ステップS261〜ステップS264の処理を行い、バッファメモリ609から外部機器へデータブロックを出力する。

まず、バッファメモリ609に1個以上のデータブロックが存在するか否かを判断する(ステップS261)。存在しなければ(ステップS261のNO)、いずれかのフラッシュメモリからバッファメモリ609へ1個のデータブロックの転送が終了するまで待機する。

- [0135] 1個以上のデータブロックが存在する場合(ステップS261のYES)、データブロックを出力可能であることを示すレスポンスをPC100へ出力する(ステップS262)。続いて、1個のデータブロックをバッファメモリ609からPC100へ出力する(ステップS263)。出力し終わると、リードコマンドに含んで受け取ったセクタ数「4」に相当する4個のデータブロックを、PC100へ出力し終わるまで(ステップS264のYES)、ステップS261〜264を繰り返す。

- [0136] PC100は、メモ리카ード600からレスポンスを受け取り(ステップS262)、続いて、データブロックを受け取る(ステップS263)。4個のデータブロックを受け取り終わるまで

(ステップS266のYES)、レスポンス及びデータブロックの受け取りを繰り返す。

(3) 読み出し時のタイムチャート

メモ리카ード600からデータを読み出す際のメモ리카ード600とPC100の間のコマンド及びデータの授受のタイミング及びメモ리카ード600内のフラッシュメモリ610〜613の読み出し動作のタイミングについて、図15に示すタイムチャートを用いて説明する。

[0137] 図15は、メモ리카ード600がPC100から受け取るコマンド及びメモ리카ード600からPC100へ出力されるデータブロックとを時間の経過に沿って並べたものであり、横軸は時間の経過を示している。また、各時刻におけるフラッシュメモリ610〜613の動作状態を示している。

メモ리카ード600は、PC100から、リードコマンドB0を受け取る。リードコマンドB0には、先頭セクタ番号「5」とセクタ数「4」とが含まれる。

[0138] メモ리카ード600は、先頭セクタ番号「5」とセクタ数「4」を基にして、メモリ番号「1」、「2」、「3」、「0」を算出する。算出したメモリ番号と対応するフラッシュメモリ611からデータブロックB1を、フラッシュメモリ612からデータブロックB2を、フラッシュメモリ613からデータブロックB3を、フラッシュメモリ610からデータブロックB4を読み出し、読み出した各データブロックをバッファメモリ609へ転送する。フラッシュメモリ611においてデータブロックの転送が終了すると、メモ리카ード600は、データブロックの出力が可能であることを示すレスポンス141をPC100へ出力する。続いて、バッファメモリ609からPC100へデータブロックB1を出力する。

[0139] 4個のフラッシュメモリの読み出し速度はほぼ同一であるので、各フラッシュメモリからバッファメモリ609へのデータブロックの転送はほぼ同時に終了する。

データブロックB1の出力を終えた時点で、バッファメモリ609には、データブロックB2〜B4が存在する。従って、メモ리카ード600は、データブロックを出力可能であることを示すレスポンス142を出力し、データブロックB2を出力する。データブロックB2の出力が終了すると、同様に、レスポンス143及びデータブロックB3の出力、レスポンス144及びデータブロックB4の出力を行う。

2. 3 まとめ及び効果

以上、説明してきたように、本実施の形態2のメモ리카ード600は、外部機器から許容電流値 I_{ok} を取得し、メモ리카ード600の消費電流値が、取得した許容電流値 I_{ok} 以下になる様に、並行書込数 N_w と読出周波数 f_r とを算出する。

- [0140] 外部機器からライトコマンドを受け取ると、算出した並行書込数 N_w 個のフラッシュメモリを並行に動作させデータの書き込みを実行する。

リードコマンドを受け取ると、フラッシュメモリ610〜613へ供給するクロック信号のクロック周波数を算出した読出周波数 f_r に変更し、4個のフラッシュメモリ310〜313を並行して動作させデータの読み出しを実行する。

- [0141] 本実施の形態の効果について、具体的な数値を用いて説明する。なお、書き込みの処理における効果は、実施の形態1と同様であるので、ここでは、読み出しの処理における効果について、説明する。

書込消費電流値 $I_w=120\text{mA}$ 、最大読出消費電流値 $I_{rmax}=100\text{mA}$ 、最大周波数 100MHz 、メモリ数 $N=4$ 及び制御電流値 $a=100\text{mA}$ であり、フラッシュメモリ610〜613の読み出し速度は、1個当たり最大 10MB/s であると想定する。

- [0142] このとき、最大消費電流値は、式6より

$$I_{max} = \text{Max}(4 \times 120, 4 \times 100) + 100 = 580\text{mA}$$

である。PC100の許容電流値 $I_{ok}=400\text{mA}$ であるとする、 $I_{ok} < I_{max}$ であるので、メモ리카ード600は、式7により読出周波数

$$f_r = 100 \times (400 - 100) / 4 / 100 = 75 \text{ MHz}$$

を算出する。

- [0143] 読み出し動作におけるフラッシュメモリの消費電流値は、動作周波数に比例する。従って、動作周波数 75MHz で4個のフラッシュメモリにより読み出しの動作をする場合、メモ리카ード600の消費する電流値は、

$$\begin{aligned} & I_{rmax} \times (f_r / f_{max}) \times N + a \\ &= 100 \times (75 / 100) \times 4 + 100 \\ &= 400\text{mA} \end{aligned}$$

と算出することができる。従って、4個のフラッシュメモリ610〜613を動作周波数 75MHz で、並行して動作させる場合の消費電流値を、PC100の許容電流値 400mA

以下に抑制することができた。

- [0144] また、フラッシュメモリの読み出し速度は、動作周波数に比例するため、動作周波数75MHzの場合、メモ리카ード600の読み出し速度は

$$10 \times (75 / 100) \times 4 = 30 \text{MB/s}$$

と算出することができる。従って、フラッシュメモリの動作周波数を75MHzに下げ、4個のフラッシュメモリ610〜613を平行して動作させることにより、並行動作をせずに、最大周波数で動作させる場合と比較して3倍の読み出し速度を実現することができる。

- [0145] このようにして、PC100の電力供給能力の範囲内で、可能な限り読み出し高速化することができる。

なお、フラッシュメモリは、高電圧を印加し、電荷を蓄積させることによりデータを記録する。そのため、書き込み時の消費電流は、電圧の印加時間に比例し、周波数の変更によって省電効果は期待できない。従って、本実施の形態において、読み出し時のみ周波数を変更する構成にしている。

3. 実施の形態3

実施の形態1及び2において、本発明は、複数のフラッシュメモリを搭載したメモ리카ードであるとして説明してきたが、図16に示すようなメモ리카ードドライブ700でもある。

- [0146] メモ리카ードドライブ700は、4個のメモ리카ードスロットを備えており、4枚のメモ리카ード810、811、812及び813を装着して使用される。メモ리카ードドライブ700は、PC100及びビデオカメラ200と接続される。

メモ리카ードドライブ700は、実施の形態1のメモ리카ード300と同様に、PC100又はビデオカメラ200の供給可能な電力の範囲内で、並行して動作させることができるメモ리카ードの個数を算出し、算出した個数のメモ리카ードを並行して動作させる。

- [0147] PC100及びビデオカメラ200は実施の形態1と同様であるので、説明を省略する。

3. 1 メモ리카ード810、811、812及び813

メモ리카ード810、811、812及び813は、制御部、RAM、不揮発メモリを含んで構成される。メモ리카ードドライブ700による制御に従い、各種の情報を記憶し、また、記

憶している情報を入力する。

3. 2 メモリカードドライブ700

メモリカードドライブ700は、図17に示すように、外部IF部701、制御部702及びカードIF部710、711、712及び713から構成される。

- [0148] 制御部702は、コマンド解析部703、並列制御部704、メモリ制御部730、731、732、733、クロック制御部705、制御情報記憶部708及びバッファメモリ709から構成される。

制御部702は、具体的には、マイクロプロセッサ、RAM、ROMを含んで構成され、前記RAM及びROMには、コンピュータプログラムが記憶されている。前記マイクロプロセッサが前記コンピュータプログラムに従って動作することにより制御部702は、その機能を達成する。

- [0149] 以下に、メモリカードドライブ700を構成する各部について、説明する。なお、制御部702に含まれるコマンド解析部703、クロック制御部705及びバッファメモリ709の構成及び動作は実施の形態1のコマンド解析部303及びバッファメモリ309と同様であるので、ここでは、改めて説明はしない。

(1) 外部IF部701、カードIF部710、711、712及び713

外部IF部701は、実施の形態1のメモリカード300の外部IF部301と同様に外部機器と制御部702との間で各種の情報の送受信を行う。また、外部機器から供給される電力を受け取り、受け取った電力をメモリカードドライブ700を構成する各回路へ出力する。

- [0150] カードIF部710、711、712及び713は、メモリカード810、811、812及び813と接続され、メモリカード810、811、812及び813とメモリ制御部730、731、732及び733との間で各種の情報の入出力を行う。また、メモリ制御部730、731、732及び733を介して、クロック制御部705からクロック信号を受け取り、受け取ったクロック信号をメモリカード810、811、812及び813へ供給する。

- [0151] なお、外部IF部701と外部機器との間のデータの入出力速度は、カードIF部710、711、712及び713とメモリカード810、811、812及び813の入出力速度に比べて十分高速である。

(2) 制御情報記憶部708

制御情報記憶部708は、図17に示すように、書込消費電流値 I_w 、読出消費電流値 I_r 、最大カード数 N_{max} 、制御電流値 a を記憶している。

[0152] 書込消費電流値 I_w は、メモ리카ードドライブ700に装着されるメモ리카ード1枚当たりの書き込みの動作のために、一組のメモ리카ード、カードIF部及びメモリ制御部が消費する電流値である。読出消費電流値 I_r は、メモ리카ード1枚当たりの読み出しの動作のために、一組のメモ리카ード、カードIF部、メモリ制御部が消費する電流値である。

[0153] 最大カード数 N_{max} は、メモ리카ードドライブ700に装着可能なメモ리카ードの枚数、すなわちメモ리카ードスロットの数であり、本実施の形態では、 $N_{max}=4$ である。

制御電流値 a は、メモ리카ード、カードIF部及びメモリ制御部以外の各回路が動作するために消費する電流の合計値である。

[0154] (3)メモリ制御部730、731、732及び733

メモリ制御部730は、クロック制御部705から、クロック信号を受け取り、受け取ったクロック信号をカードIF部710を介してメモ리카ード810へ供給する。

メモリ制御部730は、カードIF部710を介してメモ리카ード810の着脱を検出する。

[0155] メモリ制御部730は、並列制御部704から、ライト指示と書き込みを行うセクタを示すメモリアドレスとを受け取る。また、並列制御部704から、リード指示とメモリアドレスとを受け取る。

ライト指示とメモリアドレスを受け取ると、カードIF部710を介して、メモ리카ード810内の、受け取ったメモリアドレスと対応するセクタへ、バッファメモリ709から1個のデータブロックを転送する。転送が終了すると、1データブロックの書き込みが終了したことを示す終了信号を並列制御部704へ出力する。

[0156] リード指示とメモリアドレスとを受け取ると、カードIF部710を介して、受け取ったメモリアドレスと対応するセクタに記憶されているデータブロックを、メモ리카ード810からバッファメモリ709へ転送する。転送が終了すると、1データブロックの読み出しが終了したことを示す終了信号を並列制御部704へ出力する。

メモリ制御部730と同様にして、メモリ制御部731〜733は、カードIF部711〜713

を介してメモ리카ード811〜813へのデータの入出力を制御する。

[0157] (4) 並列制御部704

並列制御部704は、図18に示すように、コマンド実行部721、並列演算部722及びメモリ番号演算部723を含む。

並列制御部704の構成及び動作は、実施の形態1の並列制御部304の構成及び動作と類似している。従って、以下の、並列制御部704に関する説明において、並列制御部304と共通する部分については、説明を割愛し、異なる部分についてのみ、詳細に説明する。

[0158] (4-1) 並列演算部722

並列演算部の722は、メモリ数Nに代わって最大カード数Nmaxを用いて、実施の形態1の並列演算部322と同様の演算を行う。詳細な動作は並列演算部322と同様であるので説明を省略する。

(4-2) メモリ番号演算部723

メモリ番号演算部723の詳細な動作は、メモリ番号演算部323と同様であるので、ここでは、簡易に説明する。なお、本実施の形態において、メモリ番号「0」〜「4」は、それぞれ、メモ리카ード810〜813と対応している。

[0159] メモリ番号演算部723は、コマンド実行部721から、先頭セクタ番号とセクタ数とを受け取りメモリ番号の算出を指示される。

メモリ番号の算出を指示されると、メモリ番号演算部723は、メモリ数Nに変わって最大メモリ数Nmaxを用いて、式4及び式5の演算を行い、メモリ番号とセクタ番号とを算出する。算出したセクタ番号とメモリ番号と、メモリ番号と対応するメモ리카ード上のアドレスであるメモリアドレスとを含むメモリテーブルを生成する。

[0160] メモリテーブルを生成すると、コマンド実行部721へ、メモリ番号の演算が終了したことを示す演算終了信号を出力する。

(4-3) コマンド実行部721

コマンド実行部721は、外部機器から出力されコマンド解析部703により解析された各種のコマンドを受け取る。

[0161] 受け取ったコマンドが許容電流値を要求するものであれば、実施の形態1のコマン

ド実行部321の行う初期設定と同様の処理を行い、並列演算部722から並行書込数 N_w と並行読出数 N_r との演算が正常に終了したことを示す演算終了信号を受け取る。

受け取ったコマンドがデータの書き込みを指示するライトコマンドであれば、実施の形態1のコマンド実行部321による<書き込み処理>と同様の手順で、外部機器からデータブロックを受け取り、各メモリ制御部へ書き込みを指示することにより、並行書込数 N_w 個のメモリカードに並行して書き込みを行う。

- [0162] 受け取ったコマンドがデータの読み出しを指示するリードコマンドであれば、実施の形態1のコマンド実行部321による<読み出し処理>と同様の手順で、各メモリ制御部へデータの読み出しを指示することにより、並行読出数のメモリカードから並行して、データを読み出す。

3. 3 まとめ及び効果

以上説明してきたように、本実施の形態のメモリカードドライブ700は、接続される外部機器の許容電流値を取得し、取得した許容電流値の範囲内で並行して動作させることができるメモリカードの数を、読み出し時及び書き込み時についてそれぞれ算出する。

- [0163] 外部機器から、ライトコマンドを受け取ると、算出した並行書込数 N_w 個以下のメモリカードを並行して動作させる。また、リードコマンドを受け取ると、算出した並行読出数 N_r 個以下のメモリカードを並行して動作させる。

このようにすることで、実施の形態1のメモリカード300と同様に、接続される外部機器により供給可能な電流の範囲内で、可能な限り高速に読み出し及び書き込みを実行することができる。

3. 4 実施の形態3の変形例

(1)実施の形態3のメモリカードドライブ700は、実施の形態1において説明したメモリカード300と同様に、外部機器の許容電流値 I_{ok} の範囲内で並行して動作可能なメモリカード数 N_w 及び N_r を算出し、並行して動作させるメモリカードの数を N_w 又は N_r 以下に制限することで、メモリカードドライブの消費電流値が、許容電流値 I_{ok} 以下になる様に制御している。

[0164] しかし、実施の形態2において説明した様に、読み出し時の動作周波数を変更することによって、消費電流値を許容電流値以下に抑えるようにしても良い。

(2) 実施の形態3において、動作していないメモ리카ードへのクロック信号の供給を停止するとしても良い。

この場合、メモリ制御部730は、通常、クロック制御部705から受け取ったクロック信号を、メモ리카ード810へ供給していない。

[0165] コマンド実行部721から、ライト指示とメモリ番号とを受け取ると、メモ리카ード810へクロック信号の供給を開始する。次に、バッファメモリ709から、メモ리카ード810へ、データブロックの転送を開始する。1データブロックの転送が終了すると、並列制御部704内のコマンド実行部721へ終了信号を出力し、メモ리카ード810へのクロック信号の供給を停止する。

[0166] コマンド実行部721から、リード指示を受け取った場合も、同様に、データブロックの転送中のみ、メモ리카ード810へクロック信号を供給する。

メモリ制御部731〜733についても、メモ리카ード811〜812に対して同様の制御を行う。

このようにして、メモ리카ードドライブ700は、動作中のメモ리카ードにのみクロック信号を供給し、動作していないメモ리카ードには、クロック信号の供給を停止する。

[0167] メモ리카ード810〜813の制御部は、読み出し及び書き込みの動作を行っていない場合でも、クロック信号を受け取ると、所定の動作を行い電力を消費する。従って、書き込み及び読み出しを行わないメモ리카ードへのクロック信号の供給を停止することで、これらのメモ리카ードによる電力消費を削減することができる。

(3) 上記の実施の形態において、メモ리카ードドライブ700には、4枚のメモ리카ードが装着されて使用されるとして説明したが、4枚未満でもよい。

[0168] この場合、コマンド実行部721は、メモリ制御部及びカードIF部を介して、メモ리카ードの着脱を検出し、現在装着されているメモ리카ードの枚数nを記憶する。また、装着されているメモ리카ードとカード番号とを対応付ける。

例えば、メモ리카ード811が装着されていない場合には、メモ리카ード810とカード番号「0」、メモ리카ード812とカード番号「1」、メモ리카ード813とカード番号「3」とを対応

付ける。

- [0169] リードコマンド又はライトコマンドを受け取ると、メモリ番号演算部723へ先頭セクタ番号とセクタ数と共に、装着されているメモ리카ードの枚数 n を出力する。

メモリ番号演算部723は、 N_{max} に代わって、 n を用いてメモリテーブルを生成する。

このようにすることで、装着されるメモ리카ードの枚数に応じて、データの入出力の高速化を図ることができる。利用者においては、装着するメモ리카ードの枚数を自由に選択することができ、利便性が向上する。

4. その他の変形例

以上、本発明の実施の形態1〜3について説明してきたが、本発明はこれらに限定されるものではなく、以下に説明する変形例も含む。

- [0170] (1) 上記の実施の形態1及び2において、メモ리카ード300及び600は4個のフラッシュメモリを搭載しているが、フラッシュメモリに限定するものではなく、他の記録素子でもよい。一例として、MRAM (Magnetoresistive Random Access Memory)、強誘電体メモリなどである。

(2) 実施の形態3及び変形例において、メモ리카ードドライブ700に装着されるメモ리카ードは、一例として、SDメモ리카ード、ATAフラッシュカードなどである。

- [0171] (3) 実施の形態3及び変形例において、メモ리카ードドライブ700は、予め、装着されるメモ리카ードの書込消費電流値 I_w と読出消費電流値 I_r とを1個ずつ記憶しているが、種類の異なるメモ리카ードについて、書込消費電流値 I_w と読出消費電流値 I_r とを記憶しているとしても良い。

例えば、SDメモ리카ードの書込消費電流値 I_{ws} と読出消費電流値 I_{rs} 及びATAフラッシュカードの書込消費電流値 I_{wa} と読出消費電流値 I_{ra} とを記憶しており、装着されたメモ리카ードの種類を判別し、書込消費電流値 I_{ws} と読出消費電流値 I_{rs} 、又は、書込消費電流値 I_{wa} と読出消費電流値 I_{ra} のうち何れか一方を選択して用いるとしても良い。

- [0172] (4) 実施の形態3において、メモ리카ードドライブ700は、外部機器に外付けされているが、外部機器に内蔵されているとしても良い。

(5) 上記の実施の形態2において、クロック制御部605はPLLを用いて、周波数を変更しているが、PLLに代わって周波数分周器を用いても良い。

(6) 上記の実施の形態1及び2では、それぞれ、並行動作するフラッシュメモリの個数、フラッシュメモリの動作周波数を変更することで、メモリカード300又は600の消費電流を調整しているが、これらを組み合わせて、並行動作するフラッシュメモリの個数及びフラッシュメモリの動作周波数の両方を変更するとしてもよい。

[0173] (7) 本発明は、上記の実施の形態1〜3及び変形例を実行する方法であってもよい。

(8) また、これらの方法をコンピュータにより実現するコンピュータプログラムであるとしてもよいし、前記コンピュータプログラムからなるデジタル信号であるとしてもよい。

また、本発明は、前記コンピュータプログラム又は前記デジタル信号をコンピュータ読み取り可能な記録媒体、例えば、フレキシブルディスク、ハードディスク、CD-ROM、MO、DVD、DVD-ROM、DVD-RAM、BD (Blu-ray Disc)、半導体メモリなどに記録したものとしてもよい。また、これらの記録媒体に記録されている前記コンピュータプログラム又は前記デジタル信号であるとしてもよい。

[0174] また、本発明は、前記コンピュータプログラム又は前記デジタル信号を、電気通信回線、無線又は有線通信回線、インターネットを代表とするネットワーク、データ放送等を経由して伝送するものとしてもよい。

また、本発明は、マイクロプロセッサとメモリとを備えたコンピュータシステムであって、前記メモリは、上記コンピュータプログラムを記憶しており、前記マイクロプロセッサは、前記コンピュータプログラムに従って動作するとしてもよい。

[0175] また、前記プログラム又は前記デジタル信号を前記記録媒体に記録して移送することにより、又は前記プログラム又は前記デジタル信号を前記ネットワーク等を経由して移送することにより、独立した他のコンピュータシステムにより実施するとしてもよい。

(9) 上記実施の形態及び上記変形例をそれぞれ組み合わせるとしてもよい。

産業上の利用可能性

[0176] 本発明は、各種のデジタルデータを記録媒体に書き込み及び読み出しをする入出

力装置及び記録媒体を生産する産業、前記入出力装置を解して記録媒体にアクセスする電気機器を製造する産業、前記電気機器、記録装置、記録媒体を利用して、各種のデジタルデータを生成し、加工し、記録し、販売する産業において、経営的に、また継続的及び反復的に使用することができる。

請求の範囲

- [1] 記録装置であって、
1以上の半導体メモリと、
アクセス装置から当該記録装置へ供給される電流の上限値を取得する取得手段と、
前記アクセス装置から、半導体メモリへのアクセスを指示するコマンドを取得するコマンド取得手段と、
前記アクセス装置から電流の供給を受け、制御信号に従って、前記半導体メモリにアクセスするアクセス手段と、
取得した前記上限値から、前記半導体メモリ及びアクセス手段以外の各部により消費される電流値を差し引いたアクセス上限値を算出し、算出したアクセス上限値を用いて前記アクセス手段及び前記半導体メモリの動作条件を設定し、前記コマンド取得手段の取得したコマンドと設定した動作条件とに基づいて、前記制御信号を生成し、生成した制御信号を出力する制御手段と
を備えることを特徴とする記録装置。
- [2] 前記制御手段は、予め、前記アクセス手段及び前記半導体メモリの消費する消費電流値を前記コマンドと対応付けて記憶しており、前記アクセス上限値と前記消費電流値とを用いて、前記コマンドと対応する動作条件を設定することを特徴とする請求項1に記載の記録装置。
- [3] 前記制御手段は、当該記録装置の備えている半導体メモリの総数以下の並列個数の前記半導体メモリが、並行して動作するような前記動作条件を設定し、
前記コマンドと前記動作条件とに基づいて、前記並列個数の前記半導体メモリへのアクセスを指示する制御信号を、前記アクセス手段へ出力し、
前記アクセス手段は、前記並列個数の前記半導体メモリへアクセスすることを特徴とする請求項2に記載の記録装置。
- [4] 前記消費電流値は、1個の前記半導体メモリを動作させる際に、前記アクセス手段及び前記半導体メモリの消費する電流値であり、
前記制御手段は、前記アクセス上限値を前記消費電流値で除算した商を前記並

列個数として算出する

ことを特徴とする請求項3に記載の記録装置。

- [5] 前記制御信号は、前記半導体メモリのうち何れか1つを指定するメモリ情報を含んでおり、

前記制御手段は、それぞれの半導体メモリを指定するメモリ情報を含む前記制御信号を順番に出力し、

前記アクセス手段は、前記制御信号を受け取り、受け取った制御信号に含まれるメモリ情報の示す前記半導体メモリへアクセスする

ことを特徴とする請求項4に記載の記録装置。

- [6] 前記制御手段は、前記半導体メモリの最大動作周波数以下のメモリ周波数で前記半導体メモリが動作するような前記動作条件を設定し、

前記コマンドと前記動作条件に基づいて、前記メモリ周波数と同一の周波数のクロック信号を生成し、生成したクロック信号を含む前記制御信号を、前記アクセス手段へ出力し、

前記アクセス手段は、前記制御手段から受け取ったクロック信号を、前記半導体メモリへ出力し、前記半導体メモリへアクセスする

ことを特徴とする請求項2に記載の記録装置。

- [7] 前記制御手段は、前記半導体メモリが前記最大周波数で動作した場合の、前記アクセス手段及び前記半導体メモリの消費する最大電流値を前記消費電流値として記憶しており、前記最大周波数と前記最大電流値の比率と前記アクセス上限値とを用いて、前記メモリ周波数を算出する

ことを特徴とする請求項6に記載の記録装置。

- [8] 前記制御手段は、前記最大電流値に加えて前記最大動作周波数を予め記憶している

ことを特徴とする請求項7に記載の記録装置。

- [9] 前記制御手段は、読み出しを指示する前記コマンドに対応する前記消費電流値を記憶しており、読み出しを指示する前記コマンドに対応して、前記メモリ周波数で前記半導体メモリが動作するような前記動作条件を設定する

- ことを特徴とする請求項6に記載の記録装置。
- [10] 前記制御手段は、分周器を備え、分周器を用いて、前記動作周波数と同一のクロック周波数のクロック信号を生成し、生成したクロック信号を含む制御信号を出力することを特徴とする請求項6に記載の記録装置。
- [11] 前記制御手段は、PLL (Phase Lock Loop)を備えており、前記PLLを用いて、前記動作周波数と同一のクロック周波数のクロック信号を生成し、生成したクロック信号を含む制御信号を出力することを特徴とする請求項6に記載の記録装置。
- [12] 前記制御手段は、当該記録装置の備えている半導体メモリの総数以下の並列個数の前記半導体メモリが、並行して動作するような第1の動作条件及び前記半導体メモリの最大動作周波数以下の動作周波数で前記半導体メモリが動作するような第2の動作条件を前記動作条件として設定し、
前記コマンド取得手段により取得されるコマンドに基づいて、前記第1及び第2の動作条件のうち少なくとも一方を採用し、採用した前記動作条件に基づく前記制御信号を生成することを特徴とする請求項2に記載の記録装置。
- [13] 前記半導体メモリは、フラッシュメモリである
ことを特徴とする請求項2に記載の記録装置。
- [14] 前記半導体メモリは、不揮発性磁気メモリである
ことを特徴とする請求項2に記載の記録装置。
- [15] 前記取得手段は、前記上限値をATA (AT Attachment)規格に準拠するSet Featuresコマンドにより取得することを特徴とする請求項1に記載の記録装置。
- [16] 半導体メモリは可搬型であり、当該記録装置に着脱可能であり、
前記取得手段と前記読書手段と前記制御手段とは、前記記録媒体に情報の読出及び書き込みを行うメモリカードドライブデバイスを構成することを特徴とする請求項1に記載の記録装置。
- [17] 前記制御手段は、クロック信号を含む制御信号を出力し、

前記アクセス手段は、アクセスする半導体メモリにのみ前記クロック信号を供給し、アクセスをしていない半導体メモリへの前記クロック信号の供給を停止することを特徴とする請求項15に記載の記録装置。

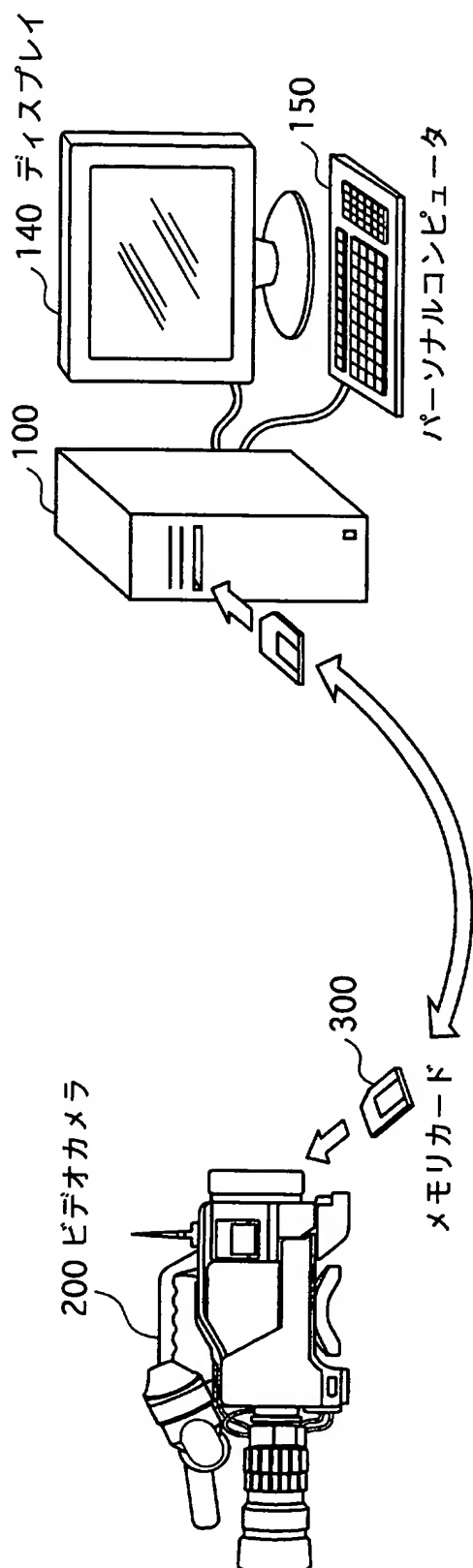
- [18] 1以上の半導体メモリを備える記録装置において用いられるアクセス方法であって、アクセス装置から当該記録装置へ供給される電流の上限値を取得する取得ステップと、
- 前記アクセス装置から、半導体メモリへのアクセスを指示するコマンドを取得するコマンド取得ステップと
- 前記アクセス装置から電流の供給を受け、制御信号に従って、前記半導体メモリにアクセスするアクセスステップと、
- 取得した前記上限値から、前記半導体メモリ及びアクセス手段以外の各部により消費される電流値を差し引いたアクセス上限値を算出し、算出したアクセス上限値を用いて前記アクセス手段及び前記半導体メモリの動作条件を設定し、前記コマンド取得手段の取得したコマンドと設定した動作条件とに基づいて、前記制御信号を生成し、生成した制御信号を出力する制御ステップと
- を備えることを特徴とするアクセス方法。

- [19] 1以上の半導体メモリを備える記録装置において用いられるアクセスプログラムであって、
- アクセス装置から当該記録装置へ供給される電流の上限値を取得する取得ステップと、
- 前記アクセス装置から、半導体メモリへのアクセスを指示するコマンドを取得するコマンド取得ステップと
- 前記アクセス装置から電流の供給を受け、制御信号に従って、前記半導体メモリにアクセスするアクセスステップと、
- 取得した前記上限値から、前記半導体メモリ及びアクセス手段以外の各部により消費される電流値を差し引いたアクセス上限値を算出し、算出したアクセス上限値を用いて前記アクセス手段及び前記半導体メモリの動作条件を設定し、前記コマンド取得手段の取得したコマンドと設定した動作条件とに基づいて、前記制御信号を生成

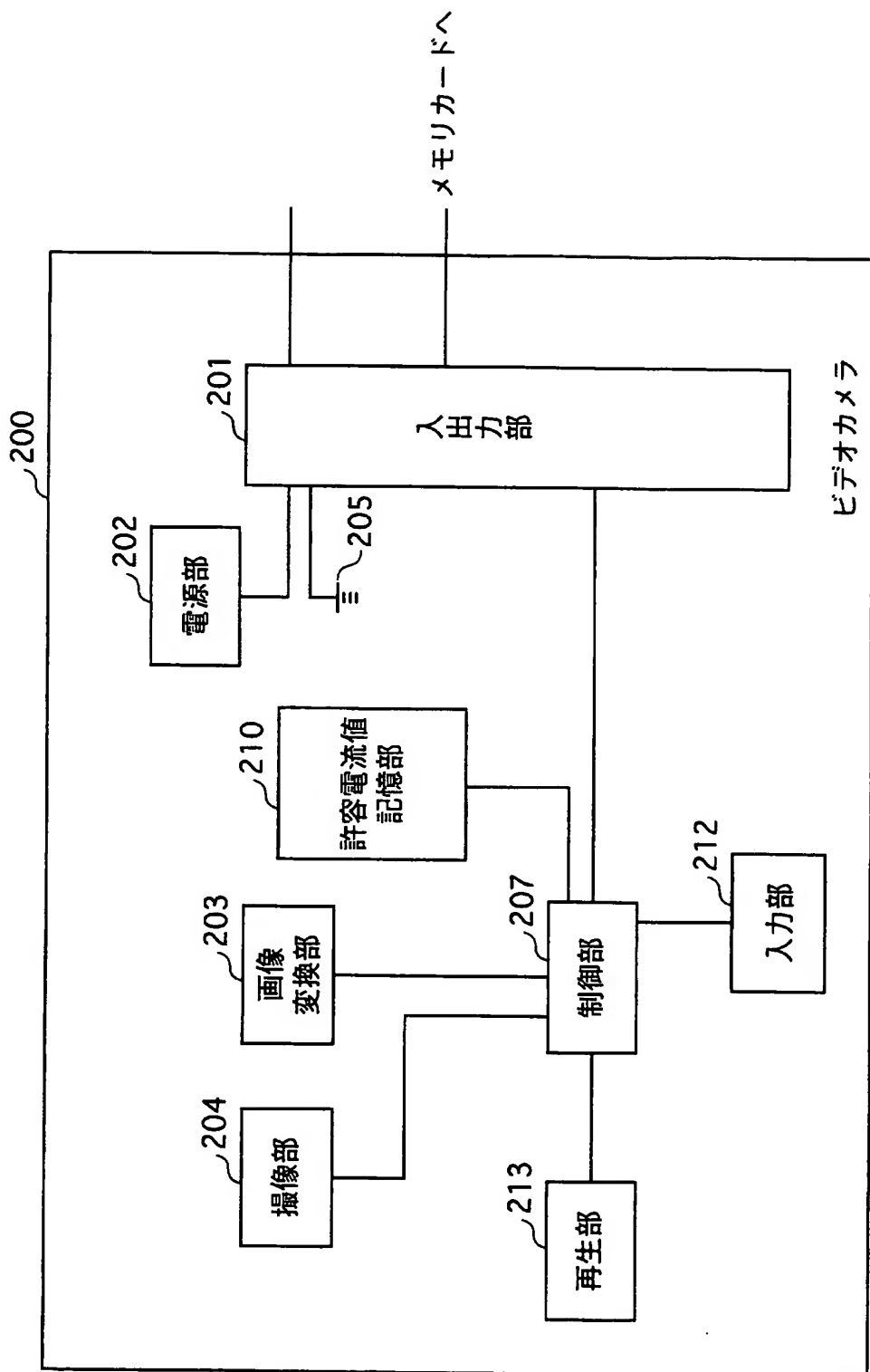
し、生成した制御信号を出力する制御ステップと
を備えることを特徴とするアクセスプログラム。

- [20] 前記アクセスプログラムは、
コンピュータ読み取り可能な記録媒体に記録されている
ことを特徴とする請求項19に記載のアクセスプログラム。

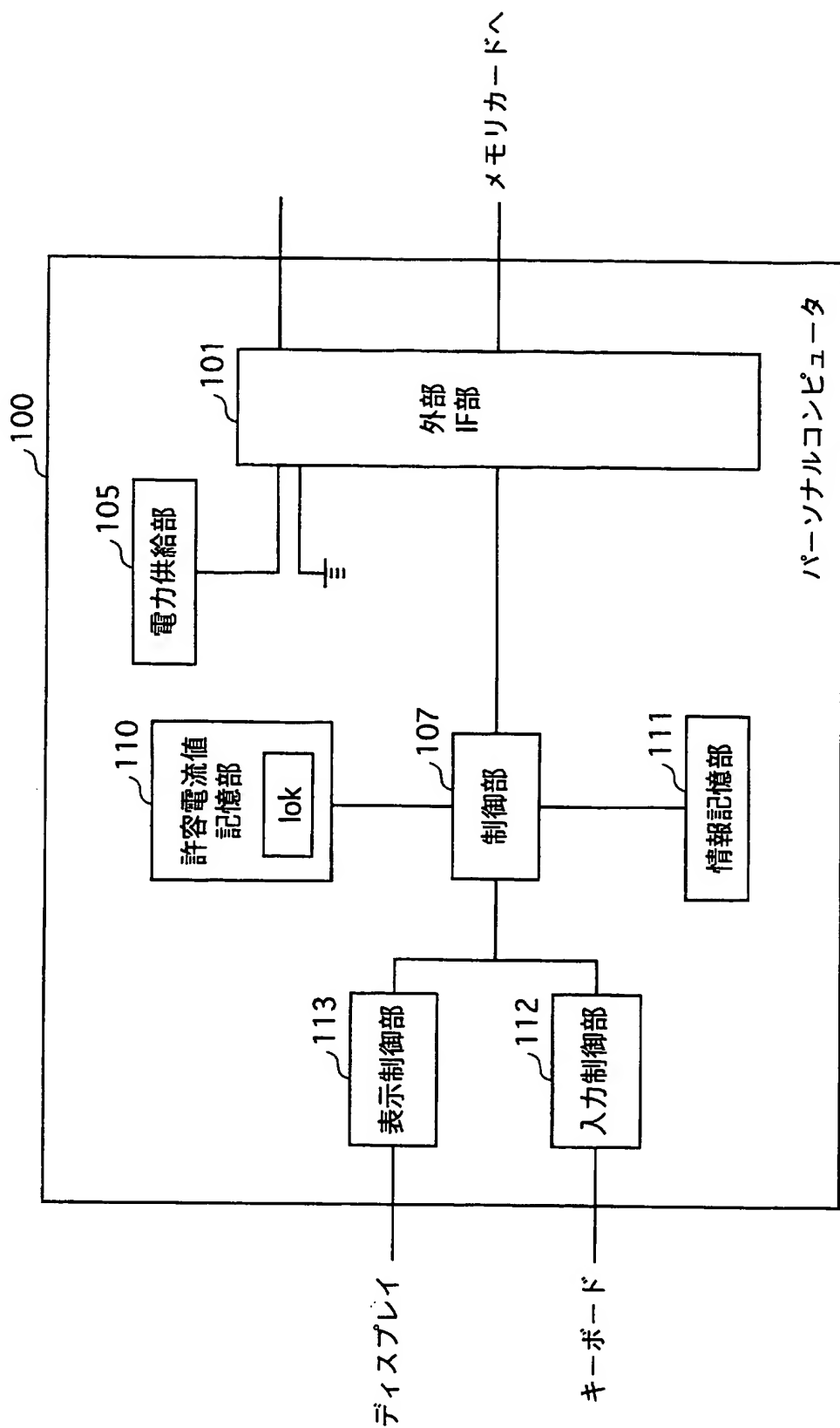
[図1]



[図2]



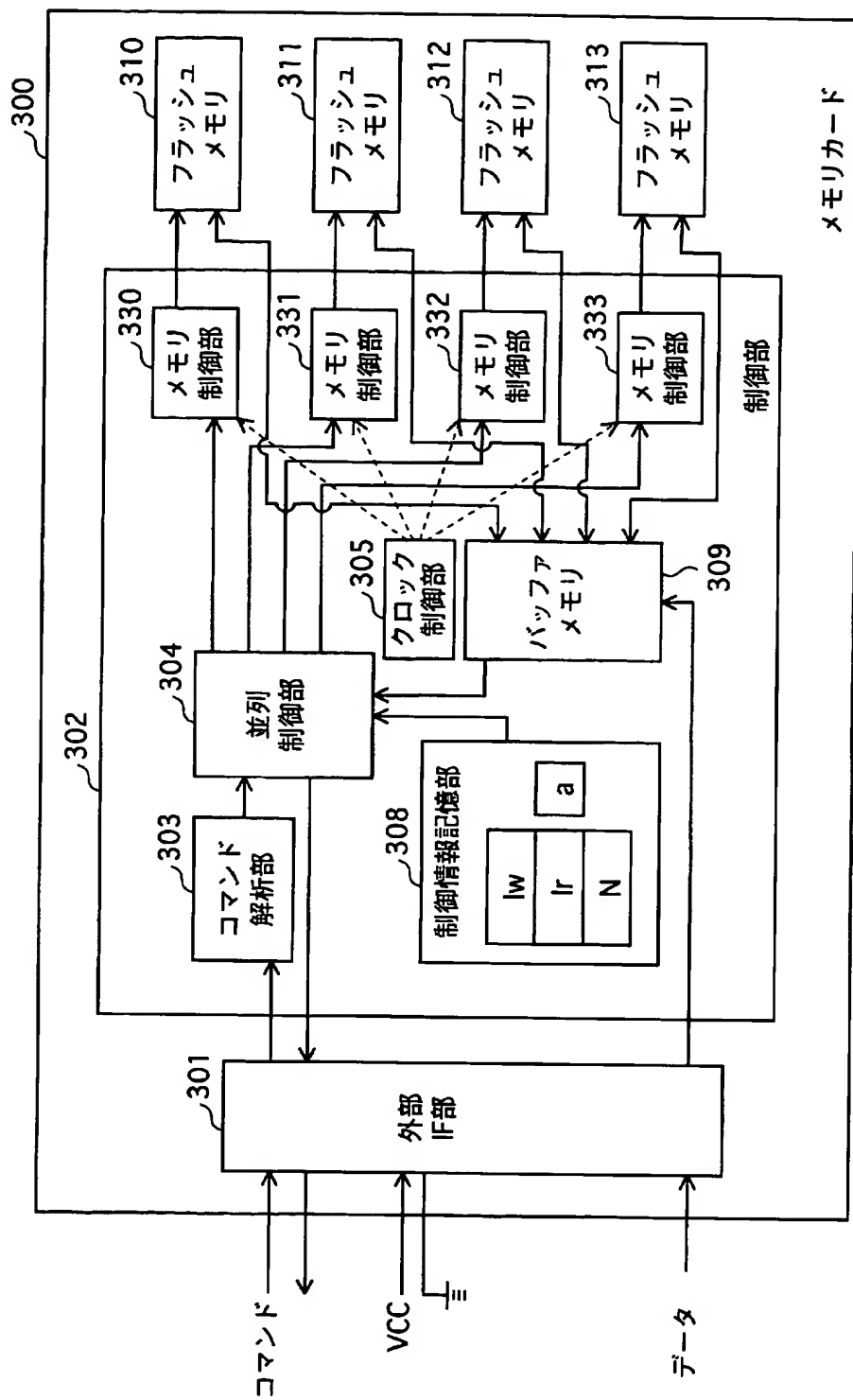
[図3]



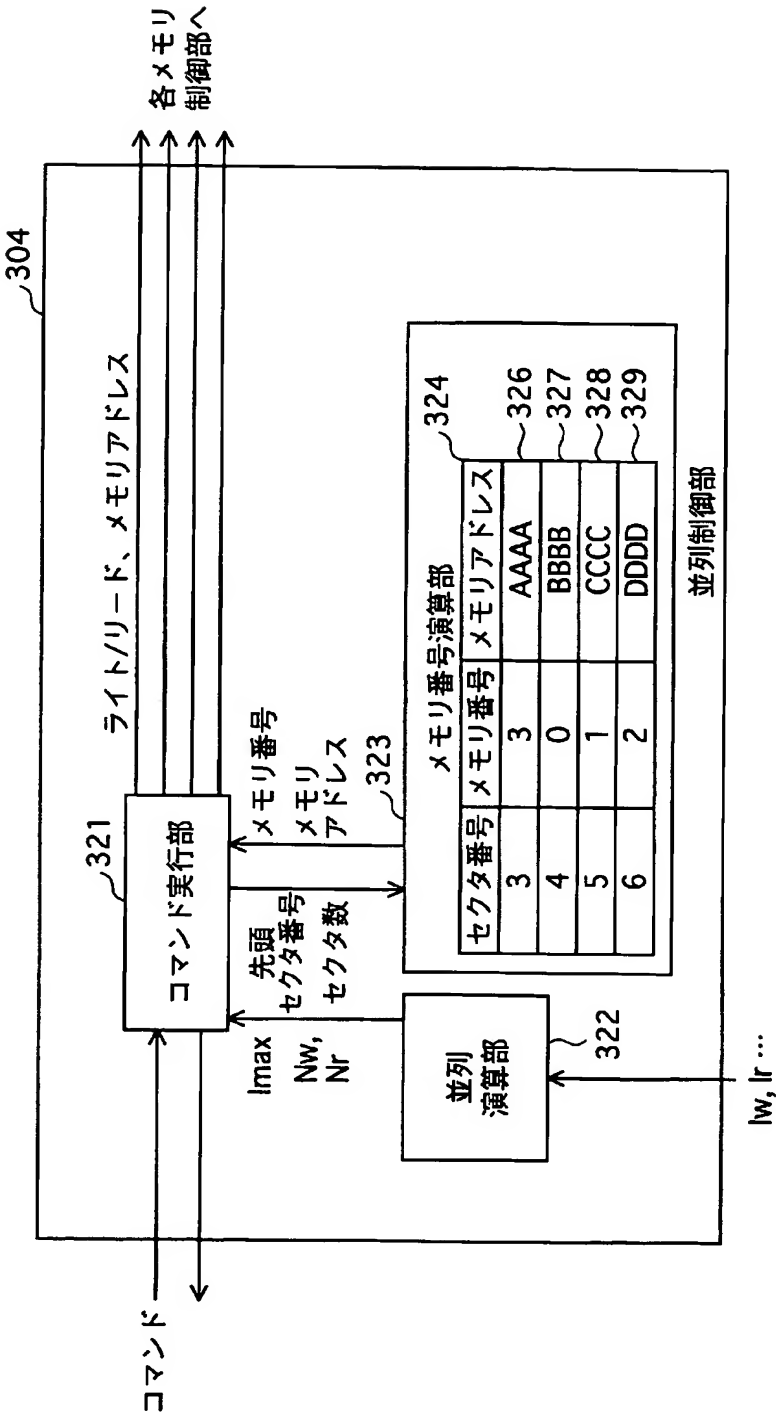
[図4]

	7	6	5	4	3	2	1	0
341 ~ Features	Sub command "05h"							
342 ~ Sector Count	Advanced power management level							
343 ~ Sector Number	na							
344 ~ Cylinder Low	na							
345 ~ Cylinder High	na							
346 ~ Device/Head	na	na	na	DRV (0)	na			
347 ~ Command	Command "FEh"							

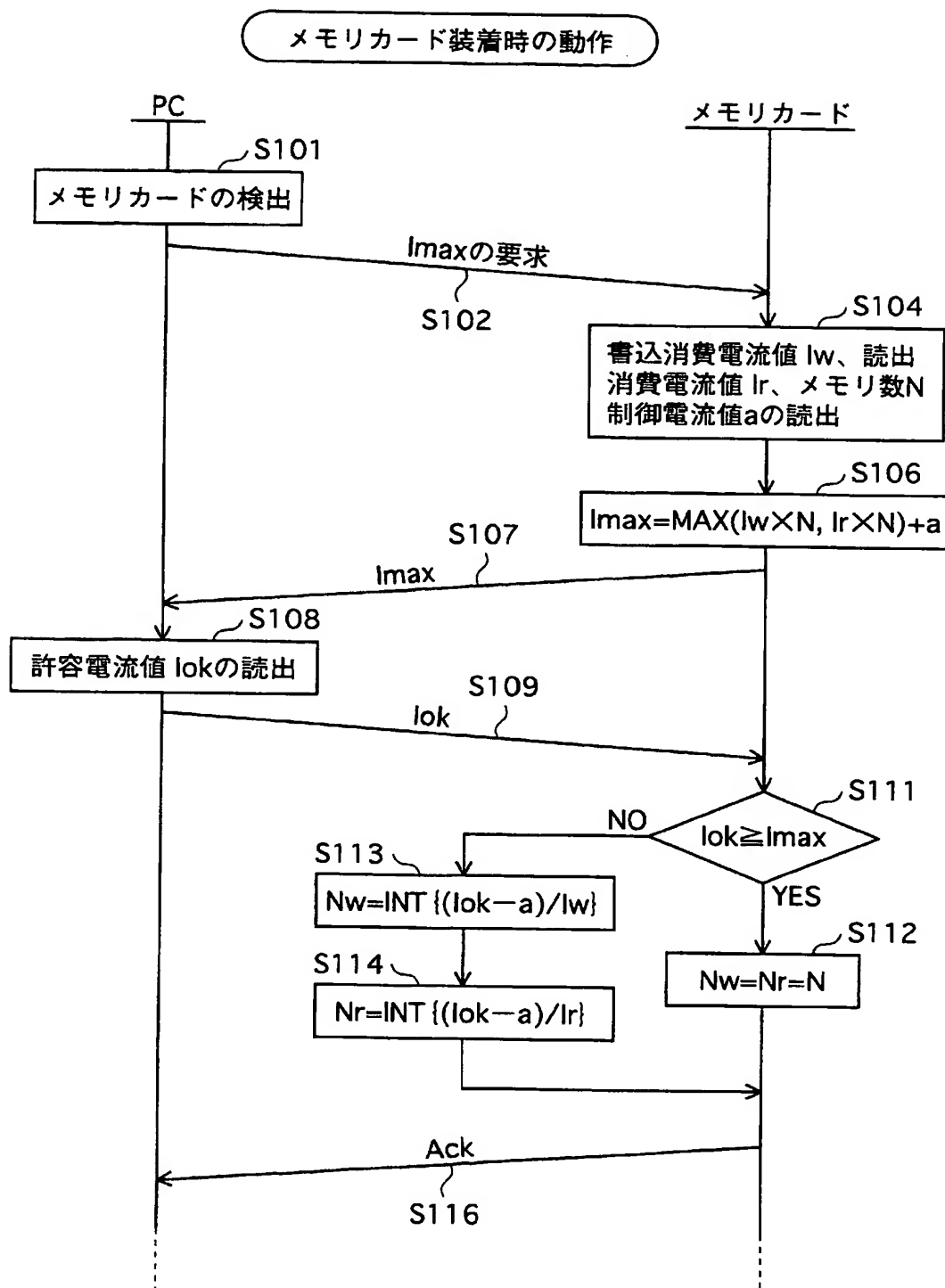
[図5]



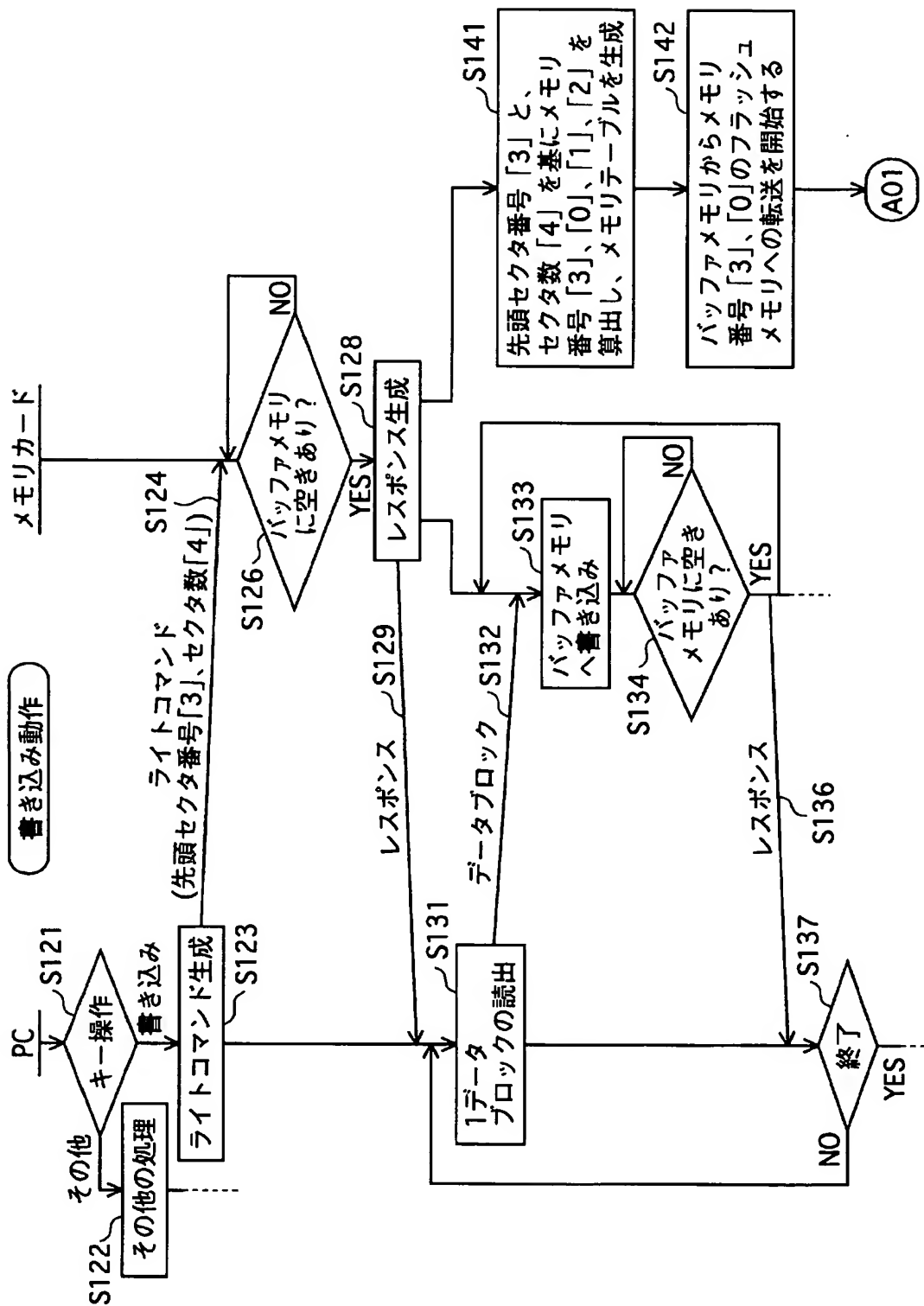
[図6]



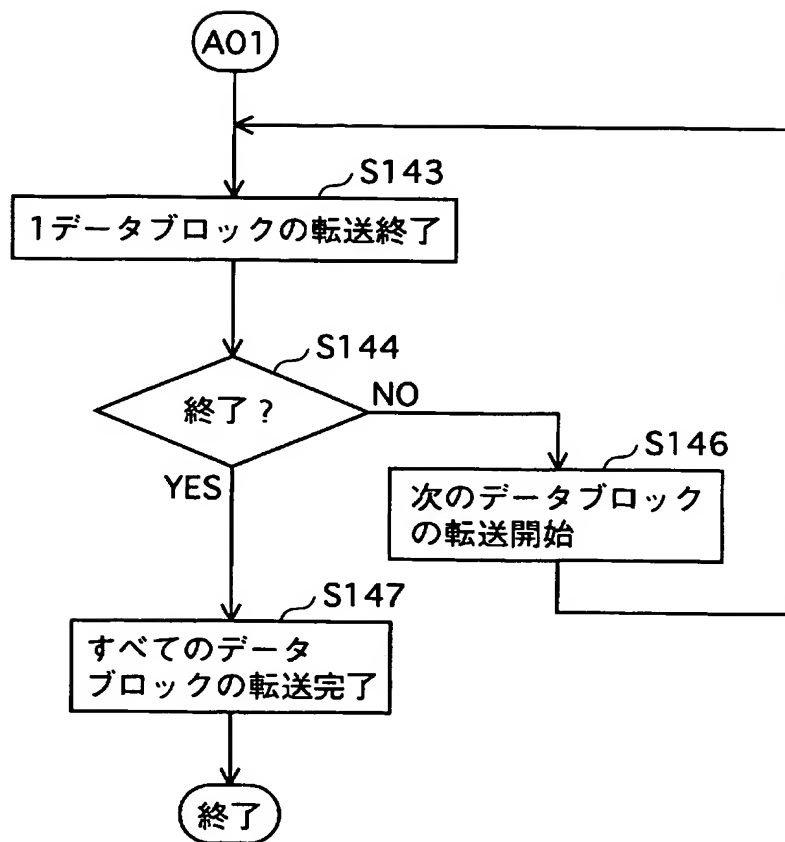
[図7]



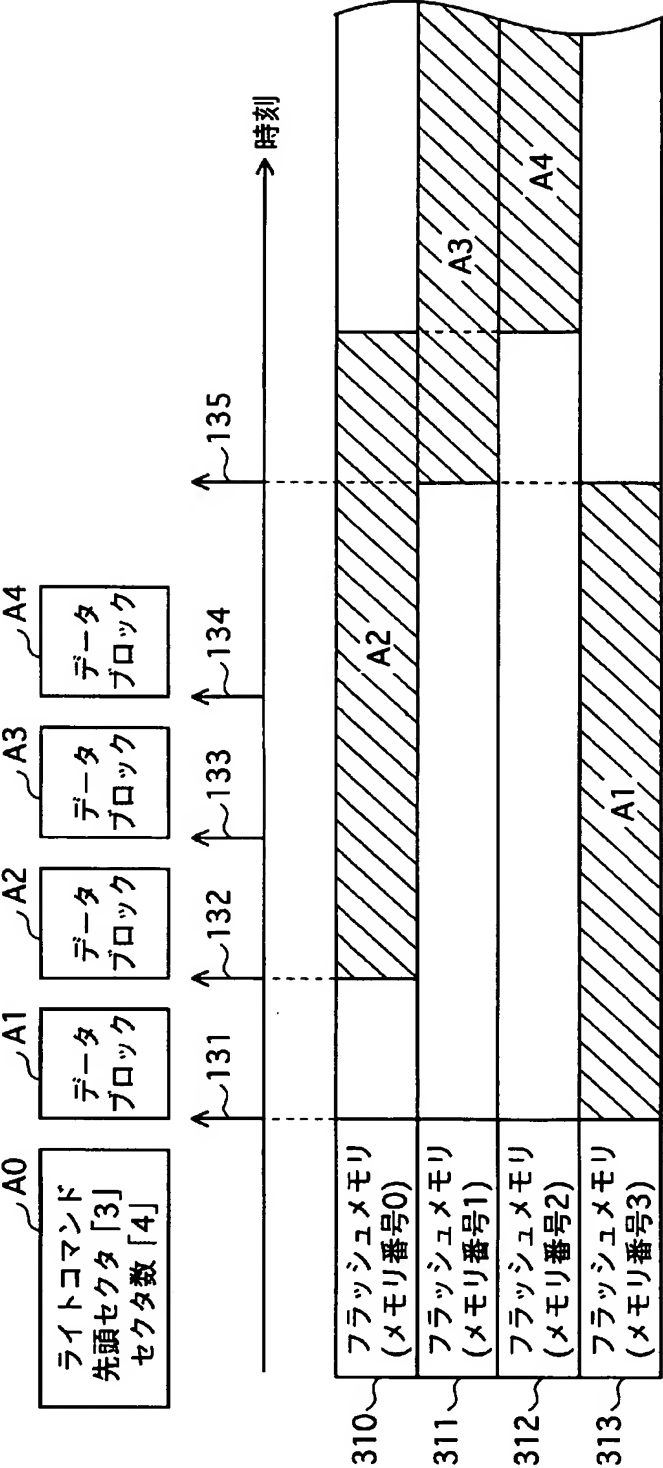
[図8]



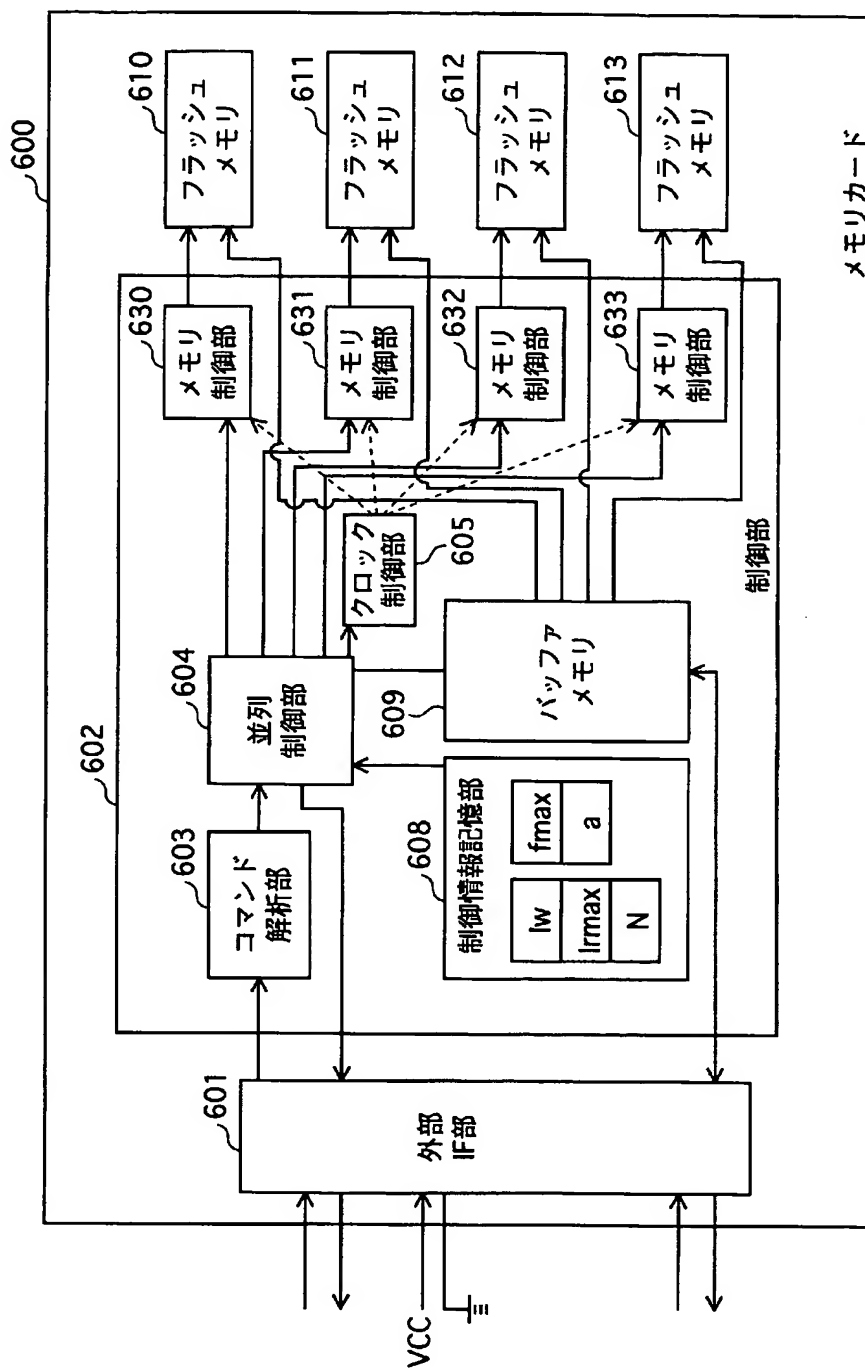
[図9]



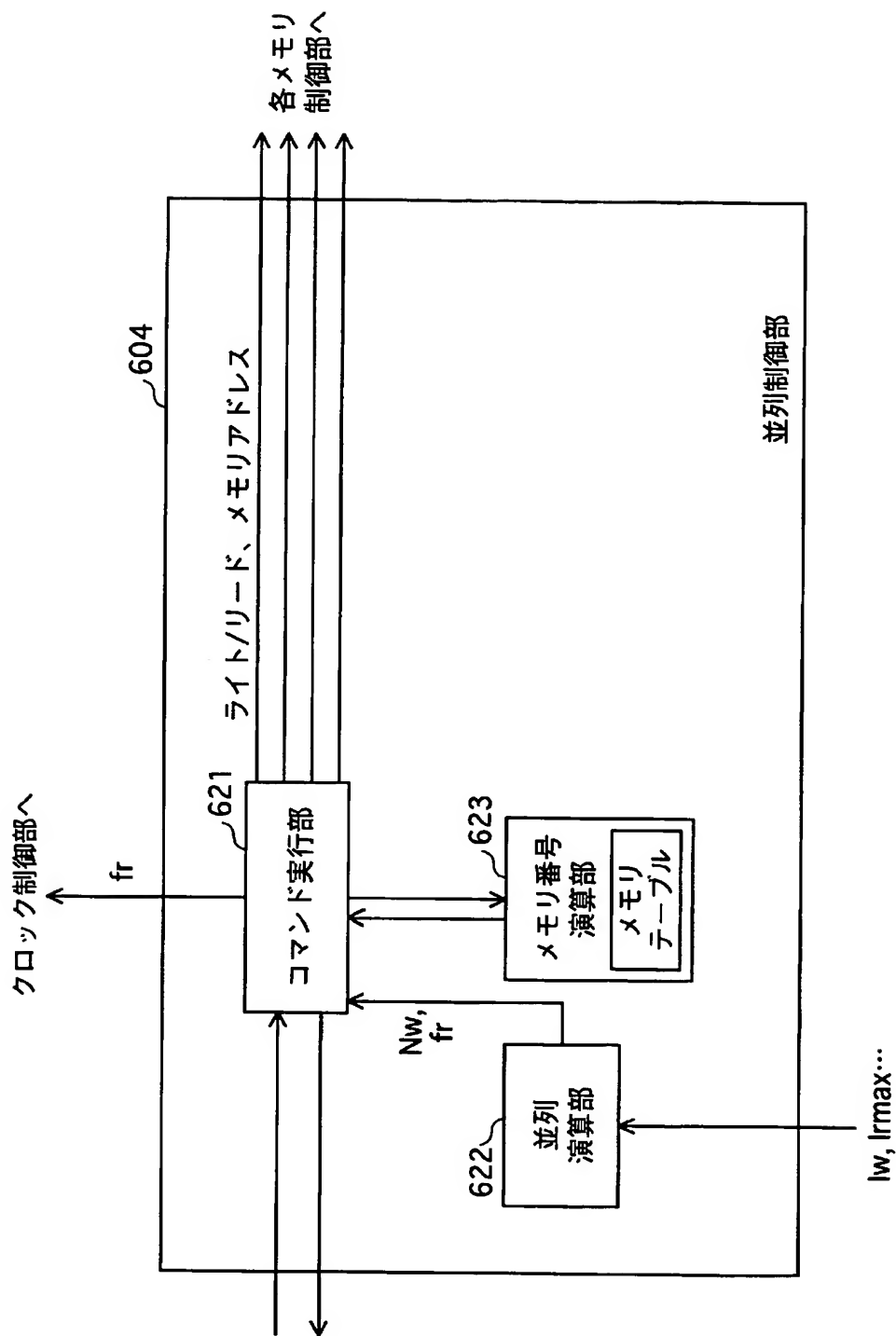
[図10]



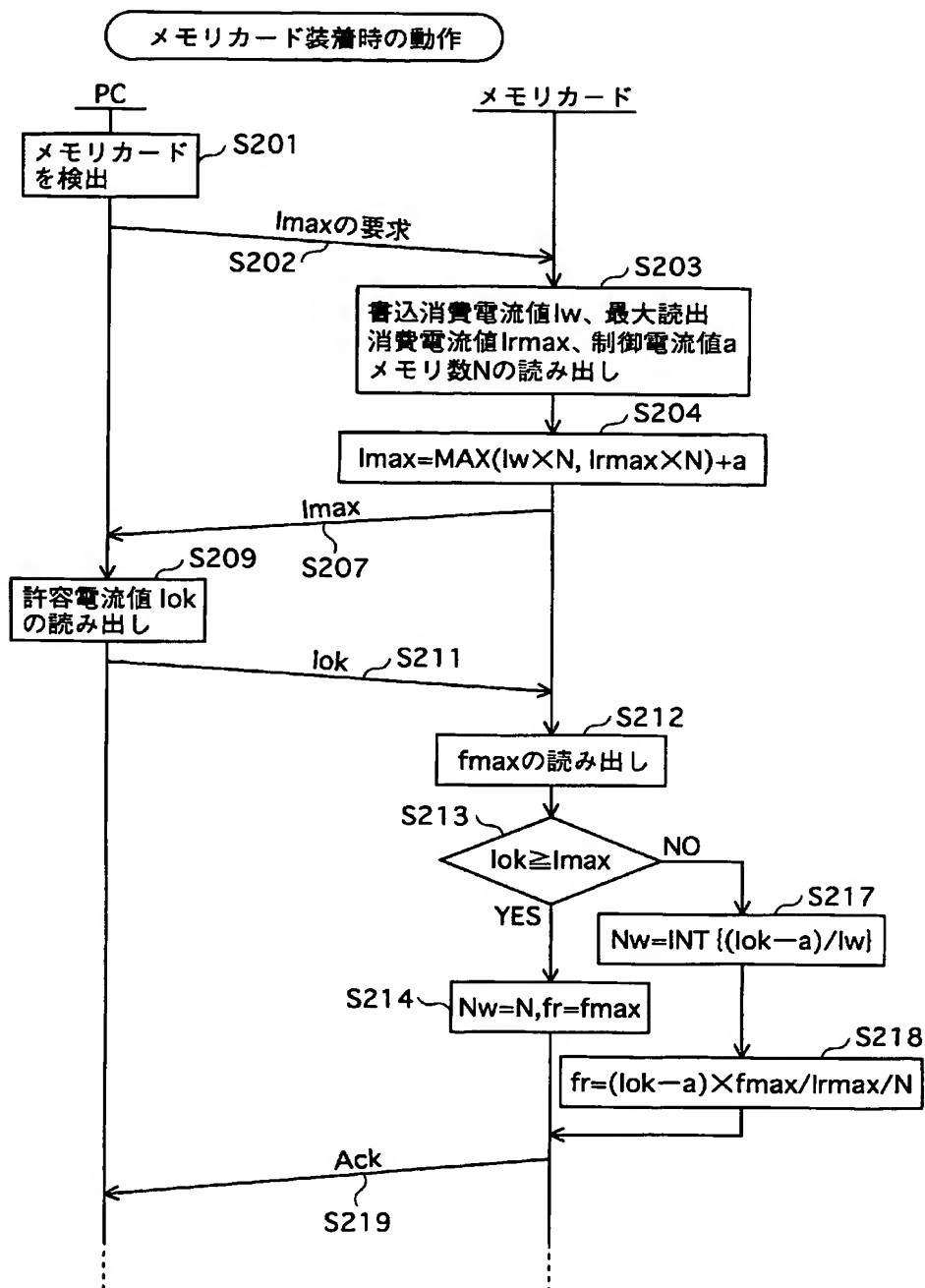
[図11]



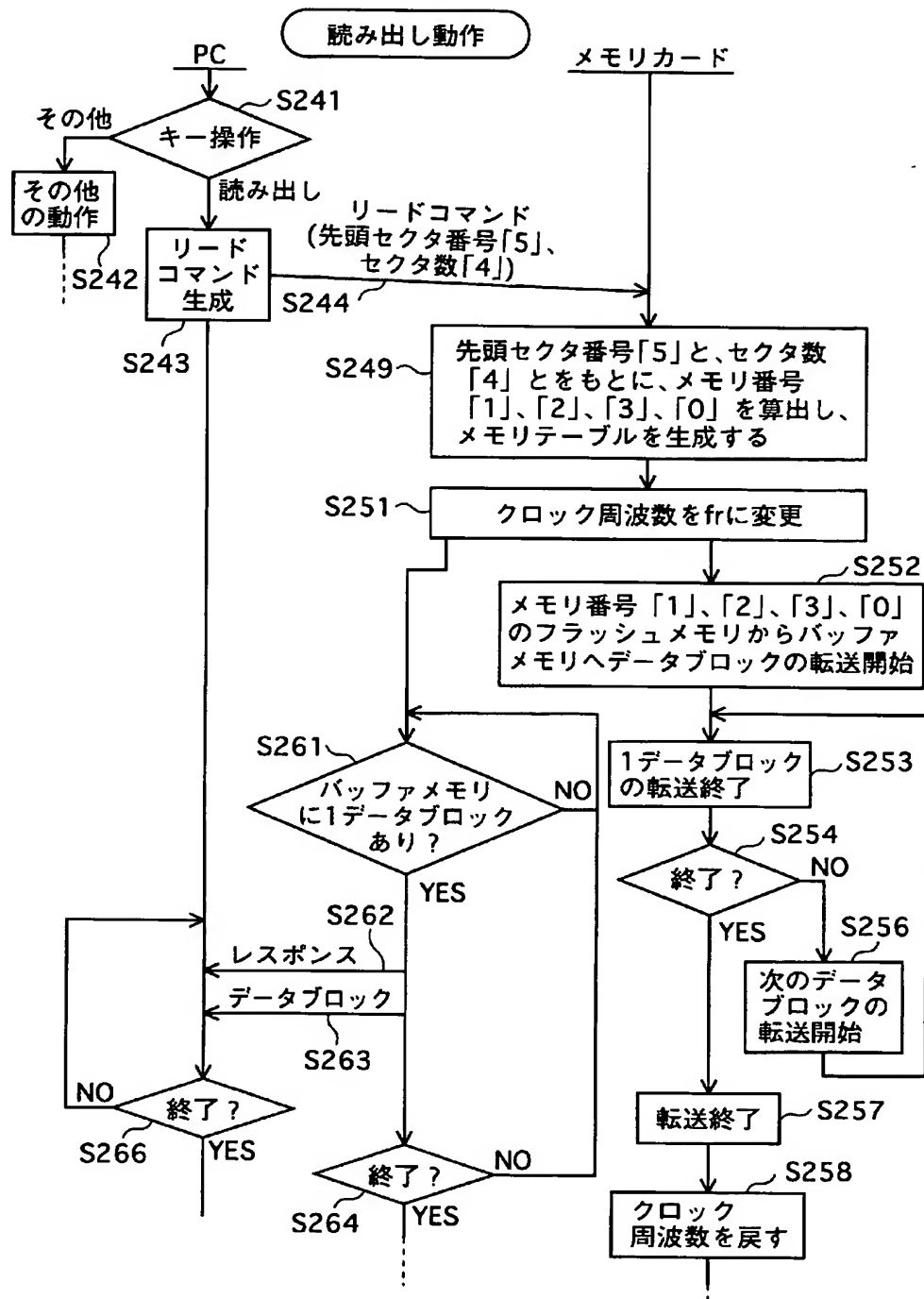
[図12]



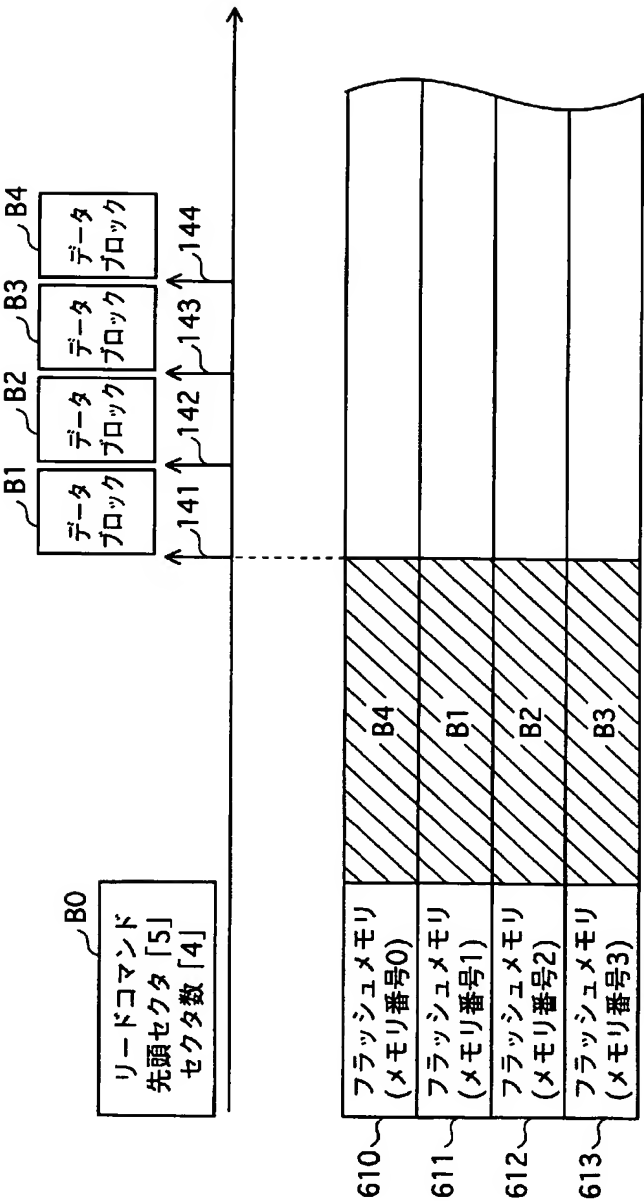
[図13]



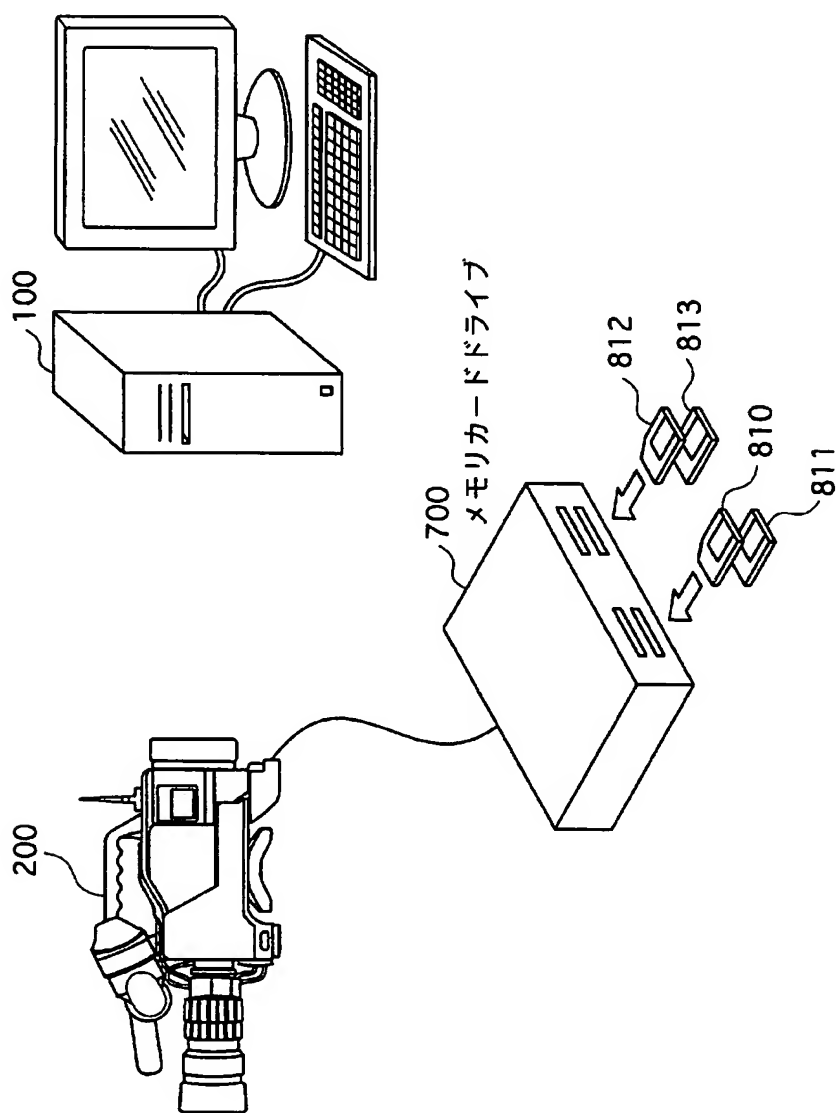
[図14]



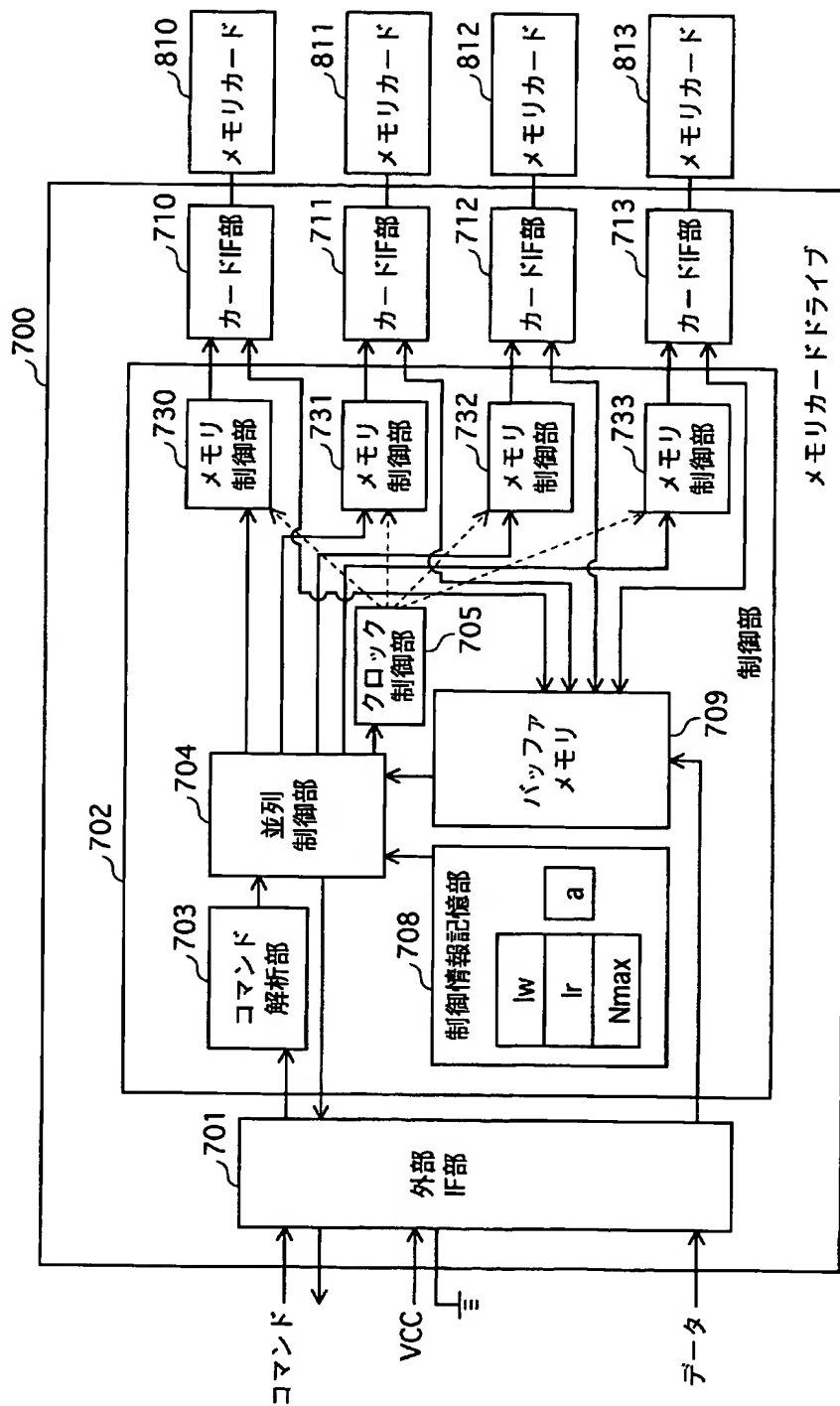
[図15]



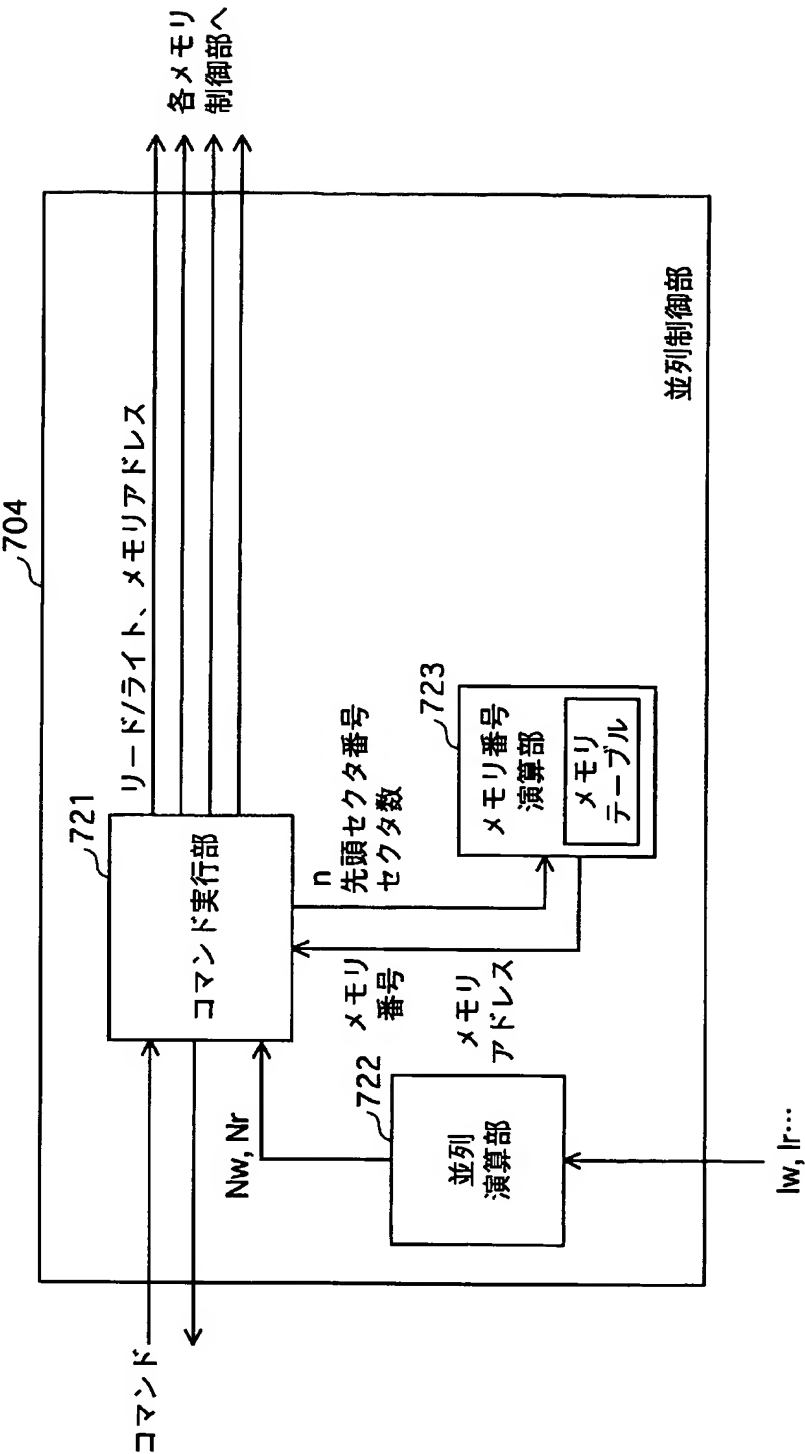
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017268

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06K17/00, G06F3/06, 3/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06K17/00, G06F3/06, 3/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-109494 A (Dainippon Printing Co., Ltd.), 12 April, 2002 (12.04.02), Par. Nos. [0018] to [0058] (Family: none)	1-20
Y	JP 2001-297316 A (Mitsubishi Electric Corp.), 26 October, 2001 (26.10.01), Par. Nos. [0028] to [0071] & US 6633956 B1	1-20

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 February, 2005 (10.02.05)

Date of mailing of the international search report
01 March, 2005 (01.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷. G06K17/00, G06F3/06, 3/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷. G06K17/00, G06F3/06, 3/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-109494 A (大日本印刷株式会社) 2002.04.12, 段落【0018】-【0058】 (ファミリーなし)	1-20
Y	J P 2001-297316 A (三菱電機株式会社) 2001.10.26, 段落【0028】-【0071】 & US 6633956 B1	1-20

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.02.2005

国際調査報告の発送日

01.03.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大塚 良平

5B

8627

電話番号 03-3581-1101 内線 3546